

粗粒度再構成可能アクセラレータ CC-SOTB における 可変パイプラインの実装とその評価

The Implementation and Evaluation of Variable Pipeline in Coarse Grained Reconfigurable Accelerator CC-SOTB

安藤 尚輝 † 増山 滉一郎 † 奥原 颯 † 天野 英晴 †

Naoki Ando, Koichiro Masuyama, Hayate Okuhara, Hideharu Amano

1 はじめに

近年, Internet of Things (IoT) や Sensor Network などのモバイルコンピューティングは, 高性能だけでなく, バッテリーをより持続させるために消費電力を可能な限り削減したプロセッサやアクセラレータを求めている. そこで我々は Cool Mega Array (CMA)[1] というアーキテクチャを提案した. CMA では演算機能を担う Processing Element (PE) Array を完全に組み合わせ回路のみで構成し高い電力効率向上を目指した. しかしこのコンセプトはグリッチ伝搬増加やクリティカルパス長大化によって性能を制限している. 一方, モバイルコンピューティングにおける要求性能と電力は環境や動かすアプリケーションによって多岐に亘るため, 性能-電力間トレードオフのスケラビリティも同時に求められる. これを達成するための可変パイプライン技術 [2] は有効で, 今回は単純な構成の可変パイプラインを CMA の PE Array に導入した. 同時に CMA に対するレジスタの挿入はグリッチ伝搬低減やクリティカルパスの分断を可能にした. 本論では CMA の一種である CMA CUBE SOTB (CC-SOTB) [3] を元として, これを可変パイプライン化した Variable Pipelined CMA (VPCMA) の設計と評価について論ずる.

2 VPCMA のアーキテクチャ

図 1 に Variable Pipeline CMA (VPCMA) アーキテクチャの概略を示す.

2.1 CMA アーキテクチャ

VPCMA が基礎にしている CMA アーキテクチャについて図 1 の PE2.3 に注目して説明する. CMA アーキテクチャでは各 PE が Switching Element (SE) を使った相互接続で東西南北の PE に繋がっている他に, 北の PE3.3, 二つ北 (以後北北と呼ぶ) の PE4.3, 東の PE2.4 が持つ ALU 入力セクタに ALU 出力を直接送るダイレクトリンクを持つ. 図 1 中ではこれをそれぞれ OUT_DL_North, OUT_DL_NN, OUT_DL_East と表記している. 全体的なデータフローとして, アレイの南に設置された "Fetch register" に入力データを書き込むと自動的にアレイ南側から吸い込まれ, 事前にコンフィギュレーションデー

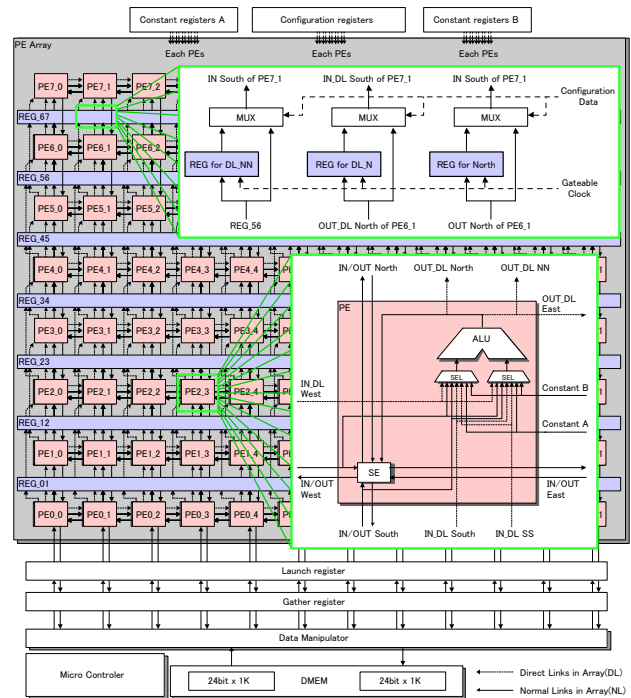


図 1: VPCMA のアーキテクチャ

タで指定されたパスに従って演算されながらアレイ中を北上していく. 演算が終了したデータは南方向に U-ターンしてまっすぐアレイ中を南下し, アレイ南側から出力される. このように CMA アーキテクチャではデータが南北方向に動いていくため, 行単位でレジスタを挿入する事でパイプライン化が可能である.

2.2 パイプライン化手法

VPCMA ではこの内北方向の相互接続と北, 北北方向のダイレクトリンクにレジスタを設け, 同時にこのレジスタを避けるバイパス経路を持たせる. 図 1 におけるレジスタはこれらのレジスタ群を示しており, 簡単化のため各行間のレジスタ群をそれぞれまとめて REG.01, REG.12...REG.67 と呼ぶ. 全ての南に向かうパスには演算結果しか流れないため, ここにはレジスタを入れない. これらのレジスタがバイパスされるか否かは事前にアプリケーション毎に用意されたコンフィギュレーションデータ内のイネーブルビットで決定され, バイパスする場合にはレジスタへのクロックを停止して電力を削減出来る. イネーブルビットは各レジスタ群毎に 1 ビット用意されているため, PE アレイは一本から七本のレジスタ群で可変に区切られてパイプライン化さ

† 慶應義塾大学大学院理工学研究科, Graduate School of Science and Technology, Keio University

れる。

3 評価

評価環境は以下の表 1 に示す。また、実行したアプリ

表 1: 評価環境

PE array	12x8
供給電圧	0.55V
プロセス	LEAP 65nm SOTB 7-metal
論理合成	Synopsys Design Compiler 2011.09-SP2
配置配線	Synopsys IC Compiler 2010.12-SP5
電力評価	Synopsys Prime Time 2012.12-SP3

ケーションは以下の表 2 の通りである。動作周波数とパイプラインレジスタの挿入インターバルはパイプライン段数とアプリケーションによって最高性能が出る値を取るものとする。

表 2: アプリケーション

af	24bit (RGB) アルファブレンダー
gray	24bit (RGB) グレースケール
sepia	8bit セピアフィルタ
sf	24bit (RGB) セピアフィルタ

図 2 は VPCMA のパイプライン段数がそれぞれ 2 段、4 段、8 段のときの各アプリケーションの実行結果に基づく性能と、従来の CC-SOTB での性能の評価を示しており、図 3 はこのときの電力内訳の比較である。同様に図 4 は性能を電力で割った電力効率を表す。性能評価には一秒間に何百万の ALU レベル命令を実行出来るかを表す Mega Operations Per Seconds (MOPS) を用いる。

図 2 から分かるように“af”と“sf”では 4 段のパイプライン化が、“gray”では 8 段が、“sepia”では 2 段が最も性能が高く、“sepia”では 4 段、8 段のとき CC-SOTB よりも性能が低かった。ここから、アプリケーションによって適したパイプライン段数が異なる事が分かる。また、2 段、4 段で各インターバルをそれぞれ 4 行、2 行に固定した評価に比べて 2 段では最大 56.3%、平均 20.8%、4 段では最大 47.9%、平均 32.1%の性能向上が達成された。

一方でクロックネットワークに消費される電力は非常に大きく、達成出来た性能にかかわらずパイプライン段数が深くなるにつれて消費電力は大きくなる事が図 3 に示されている。しかし、レジスタ挿入によるグリッチ伝搬の抑制効果もあり、2 段のパイプライン化はレジスタの無い CC-SOTB よりも電力を最大 63.2%、平均 40.0%削減出来た。

図 4 に示された電力効率の観点から考えると、2 段パイプライン化が有利で、最大 1461MOPS/mW を達成した。これは CC-SOTB と比べた場合、最大 109%、平均 90.9%の電力効率向上である。

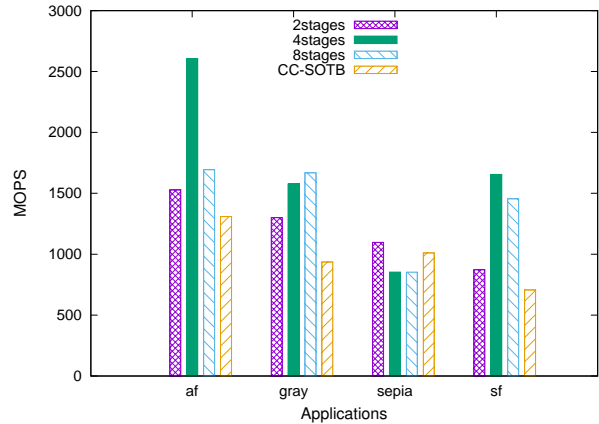


図 2: VPCMA と CC-SOTB の性能比較

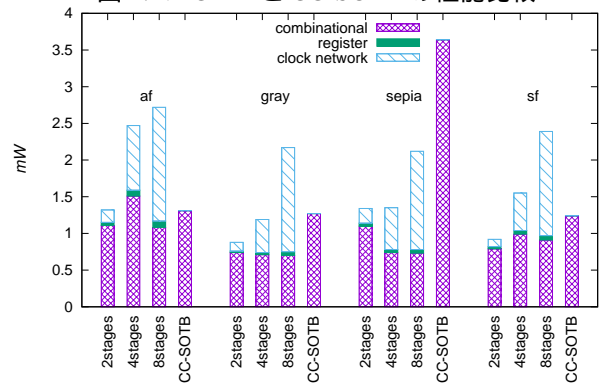


図 3: VPCMA と CC-SOTB の電力比較

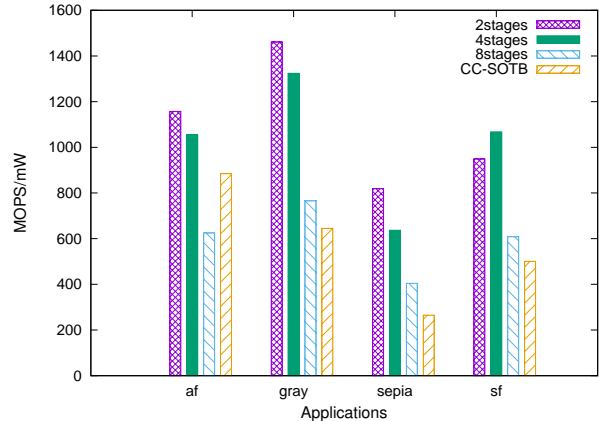


図 4: VPCMA と CC-SOTB の電力効率比較

4 結論

パイプライン段数やインターバルを固定したものと比べて VPCMA の柔軟性は様々なアプリケーションに適したインターバルを提供出来るため、性能面で最大 47.9%も有利である。また、パイプライン段数もアプリケーションによって適した深さが異なるため、段数を深くして電力を犠牲に性能を上げるか、段数を浅くして電力を優先するかを選択出来る柔軟性を証明出来た。また、CMA をパイプライン化した事によるグリッチ伝搬抑制の効果で、2 段パイプラインでは最大 63.2%の電力削減を達成し、電力効率は最大 109%も向上した。

参考文献

- [1] N.Ozaki, et al. Cool Mega Arrays: Ultra-low-Power Reconfigurable Accelerator Chips, 2011.
- [2] T.Nakabayashi, et al. Design and evaluation of variable stages pipeline processor with low-energy techniques, 2012.
- [3] Koichiro Masuyama, et al. Ultra Low Power Reconfigurable Accelerator CCSOTB. In *IEICE Technical report CPSY2015-102*, Vol. 115, pp. 99–103, Dec. 2015.