

超低電力再構成可能アクセラレータ CCSOTB の実装と実機評価

増山 滉一朗† 藤田 悠† 奥原 颯† 天野 英晴†

†慶應義塾大学

1 Introduction

Cool mega array (CMA)[1] および CMA CUBE SOTB (CCSOTB) は、近年発達してきている IoT やウェアラブルコンピューティングに向けた、超低消費電力な粗粒度再構成可能アーキテクチャ (CGRA) [2] である。CCSOTB は組み合わせ回路のみから構成される大規模な PE アレイと、データ転送を管理する小さなマイクロコントローラ、データメモリから構成されている。実装には silicon on thin buried oxide (SOTB) と呼ばれる silicon on insulator (SOI) 技術を使用しており、極めて低い電圧での動作が可能となっている。CCSOTB の設計においては従来の試作機である CMA-SOTB-2 の改良を行い、さらなる性能改善と電力効率化を図った。

2 CCSOTB アーキテクチャ

2.1 CMA アーキテクチャ

CMA の主要なコンセプトは、演算に必要な電力以外のエネルギー使用量を極力減らすことにある。図 1 は CMA アーキテクチャのブロック図である。PE アレイは大規模な組み合わせ回路のみから構成されており、中間結果の保存や各 PE へのクロック分配を行わないため、それらに要する電力を削減できる。従来の CMA における PE アレイサイズは 8×8 で、各 PE 内 ALU のデータ幅は 24-bit である。launch register にデータがセットされると演算が始まり、一定遅延後に PE アレイからの出力が result register に格納される。マイクロコントローラはメモリに格納された 16-bit コードを実行する小さなマイクロプロセッサで、single-read/single-write のデータメモリと PE アレイに接続されたレジスタ間のデータ転送を管理する。

2.2 PE アレイサイズの拡大

データ並列性向上のため、CCSOTB では PE アレイサイズの拡張を行った。PE アレイの横幅を拡張し、 8×8 から 12×8 のアレイサイズとなった。これにより 1 度に処理可能なデータ数が増加し、パフォーマンス向上を見込むことができる。

2.3 ウェーブパイプラインモードの実装

今回は CMA のさらなる性能向上を達成するため、ハイパフォーマンス処理を目的としたウェーブパイプラインモードの実装を行った。通常モードでは 1 つ前の処理で PE アレイに流した入力データがアレイ内で数クロック後に演算を終え、データがマイクロコントローラに戻ってくると、次の入力データを PE アレイに流して演算を開始する。一方でウェーブパイプラインモード時は、前クロックで流したデータが PE アレ

イ中でまだ演算を行っている段階で、次のデータを PE アレイに流して実行を始める。図 2 は 2 つのモードにおける処理の比較を示している。

2.4 PE アレイ内リンクの最適化

CMA-SOTB-2 においては、図 3(a) のように PE アレイ内の隣接する PE 間のデータ転送を全て SE を通して行っていた。CCSOTB においては SE を 1 つ減らし、ある PE の ALU の出力から隣接する PE の ALU の入力に直接接続されるダイレクトリンクを設けた。これにより SE を使わずに隣接 PE 間のデータ転送を行うことによる電力の削減、PE アレイの面積縮小、それからリーク電力の削減を図った。ダイレクトリンクの方向は図 3(c) のように北、北北、東方向へのダイレクトリンクを設けた。

3 SOTB

3.1 SOTB 技術

Silicon on thin buried oxide (SOTB)[3] とは、日本の国家プロジェクトである超低電圧デバイス技術研究組合 (LEAP) によって開発された、新しい完全空乏型 SOI CMOS 技術である。図 4 のように、SOTB トランジスタは薄い埋め込み酸化膜 (BOX 層) 上に形成されている。SOTB ではボディバイアスの広範囲制御が可能となっており、製造後のパフォーマンスと電力消費の最適化を行うことができる。SOTB 技術の詳細と低電力動作によるその他の利点については、論文 [3] に記述されている。CCSOTB においては、PE アレイと μ コントローラ、DMEM にそれぞれ独立したボディバイアスが与えられる。これによってそれぞれを独立したボディバイアス制御ができ、必要なパフォーマンスを維持しつつ電力消費を最適化することができる。

4 実機評価

前試作機の CMA-SOTB-2 と、今回設計した CCSOTB の実機評価の比較を示す。評価においては、表 1 に示す 4 つの画像処理アプリケーションを使用した。

4.1 パフォーマンス

電源電圧 0.55 V 時のパフォーマンス評価結果を図 5 (a) に示す。MOPS とは million operation per second のことであり、PE アレイ内における単位時間あたりの実行演算数を示す単位となっている。また、図中の WP とはウェーブパイプラインモード時を表している。ほとんどのアプリケーションにおいて CCSOTB は CMA-SOTB-2 を上回り、特に WP モード時は非常に高い MOPS 値を達成した。通常モード時は CMA-SOTB-2 と比較して平均 55%、WP モード時は 191% 向

上した。ただし通常モードにおける af アプリケーションは CMA-SOTB-2 と比較して若干低い MOPS 値を示している。これは CCSOTB におけるマイクロコントローラの動作周波数が低くなってしまっていることによるものであると考えられる。

4.2 電力効率

電源電圧 0.55 V 時の電力効率の評価結果を図 5 (a) に示す。電力効率は単位電力あたりの MOPS 値である MOPS/mW を指標とする。こちらもほとんどのアプリケーションにおいて、CCSOTB の電力効率は CMA-SOTB-2 を上回った。通常モード時は CMA-SOTB-2 と比較して平均 5%、WP モード時は 40% 向上した。WP モード時の最高電力効率は 567 MOPS/mW であり、非常に高い電力効率値を達成している。ただし alpha アプリケーションにおいては CMA-SOTB-2 よりも低い値となってしまっている。これは alpha 実行中において、他のアプリケーションに比べて PE アレイ内のダイレクトリンクを使用する頻度が極端に少なく、ダイレクトリンクで無駄に消費される電力が大きくなってしまっていることが原因であると考えられる。

5 結論

CMA の新しいバージョンである CCSOTB の設計、実装、評価を行った。今回は PE アレイサイズを従来の 8×8 から 12×8 に拡大した。またウェーブパイプラインモードの実装により、大幅なパフォーマンスの向上を試みた。さらに各 PE 間のデータ転送において、PE 間を直接接続するダイレクトリンクを使用することにより電力効率化を図った。結果として、実機評価において WP モード時にパフォーマンスが 191%、電力効率が 40% 向上した。ただしアプリケーションによってはパフォーマンスおよび電力効率が低下しているものも一部あり、マイクロコントローラの動作周波数の向上や、ダイレクトリンクにおける無駄な電力消費を削減することが今後の課題である。

謝辞

本研究は東京大学大規模集積システム設計教育研究センター (VDEC) を通し、独立行政法人新エネルギー産業技術総合開発機構 (NEDO)、超低電圧デバイス技術研究組合 (LEAP)、および科学研究費助成事業の協力によって行われたものである。関係者各位に深く感謝する。

参考文献

[1] N. Ozaki et al., "Cool Mega Arrays: Ultra-low-Power Reconfigurable Accelerator Chips," IEEE Micro, vol.31, No.6, pp.6-18, 2011.

[2] Y.Yuyama, et.al., "A 45nm 37.3GOPS/W Heterogeneous Multi-core SoC," Proc. of ISSCC, pp.100-101, 2010.

[3] Takashi Ishigaki, et al., "Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET," Solid State Circuits Technologies, Jacobus W. Swart (Ed.), ISBN: 978-953-307-045-2, In-Tech, pp.146-156, 2010.

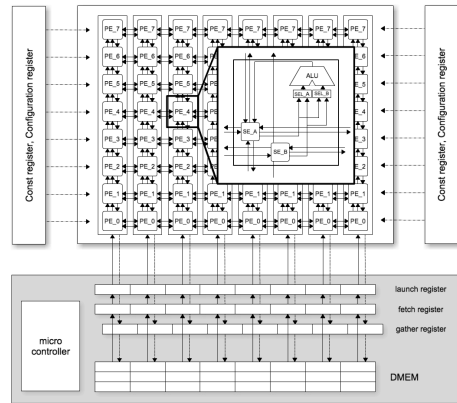
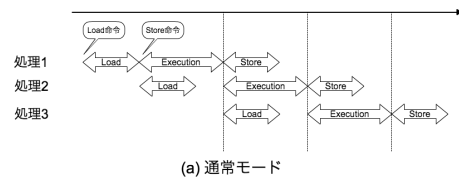
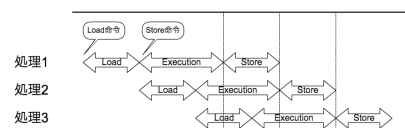


図 1. CMA アーキテクチャ

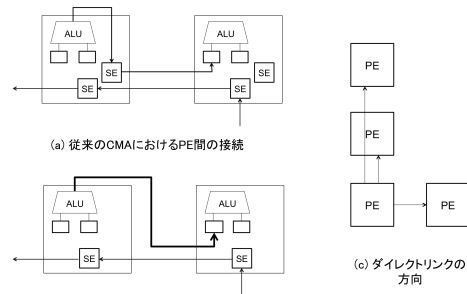


(a) 通常モード



(b) ウェーブパイプラインモード

図 2. 通常モードとウェーブパイプラインモードの比較



(a) 従来のCMAIにおけるPE間の接続

(b) CCSOTBにおけるPE間の接続

図 3. ダイレクトリンク

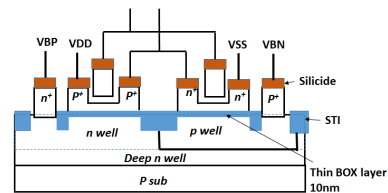


図 4. SOTB デバイスの断面図

表 1. アプリケーションプログラム

alpha	8-bit アルファブレンダ
af	24-bit (RGB) アルファブレンダ
gray	24-bit (RGB) グレースケール
sepia	8-bit (RGB) セピアフィルタ

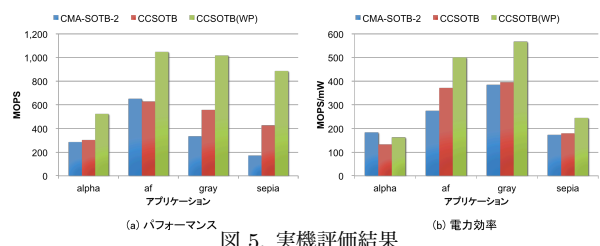


図 5. 実機評価結果