

パーシャルリコンフィグレーションを用いた専用計算機システムの構築 Special Purpose Computer System using Partial Reconfiguration Technology

増田 信之* 難波 慎太郎* 臼倉 圭亮* 山形 健太* 山本 未来呂*
角江 崇† 下馬場 朋禄† 伊藤 智義†
Nobuyuki Masuda Shintaro Nanba Keisuke Usukura Kenta Yamagata Mikuro Yamamoto
Takashi Kakue Tomoyoshi Shimobaba Tomoyoshi Ito

1. まえがき

近年、様々な分野で数値シミュレーションや数値解析が行われている。そこでは、より正確で、より規模の大きい計算が必要とされている。この問題を解決する一つの手法として、高速な計算機システムの開発がある。高速な計算機システムの構築には、マルチコア CPU や GPU などのアクセラレータボードを利用する 경우가多いが、我々の研究グループでは、FPGA を用いた専用計算 IC を用いた高速計算機システムの構築を行ってきた。FPGA を用いた計算機システムは、ある数値計算に特化した計算回路を FPGA 内に構築し、計算の高速化を行う。FPGA は内部回路の書き換えが自由に行えるので、回路を書き換えることで様々な数値計算に対応できる。しかしながら、FPGA 内の回路を書き換えるには、一般的には一度計算機システムの電源を切る必要がある。そのため、計算システムの切り替えにはかなりの時間が必要となる。

最新の FPGA にはパーシャルリコンフィグレーションと呼ばれる技術が実装されている。この技術では、FPGA 内回路の一部だけの変更を行うことが出来る。そのため、FPGA 内全ての回路を書き換える場合に比べて、書き換え時間を抑えることが出来る。またこの技術を発展させたものに、ダイナミカル・パーシャル・リコンフィグレーションがある。この技術を応用すると計算機システムの電源を切らずに FPGA 内の必要な回路を変更することが出来る。

本研究では、パーシャルリコンフィグレーションによる回路の書き込み時間を計測し、計算機システムの変更にかかる時間を検証した。また、動的再構築を PCIe バスで計算機と接続している FPGA ボードに適用し、電源を切らずに回路の書き込みが行えるかを検証した。

2. パーシャルリコンフィグレーション

FPGA では、デザインを変更したいときに製造し直す必要なく、デザインの再構築などが容易にできる。パーシャルリコンフィグレーションはこの柔軟性をさらに推進したもので、パーシャル BIT ファイルを読み込むことで、動作中の FPGA デザインを変更できる。フル BIT ファイルで FPGA をコンフィギュレーションした後に、パーシャル BIT ファイルをダウンロードすると、デバイスのリコンフィギュレーションされない部分で実行されているアプリケーションに影響を与えることなく、FPGA のリコンフィギュラブル領域を変更することが可能である。図 1 にパーシャルリコンフィグレーションの概略図を示した。

この技術では、FPGA 内回路の一部だけの変更を行うことが出来る。そのため、FPGA 内全ての回路を書き換える場合に比べて、書き換え時間を抑えることが出来る。またこの技術を発展させたものに、ダイナミカル・パーシャル・リコンフィグレーションがある。この技術を応用すると計算機システムの電源を切らずに FPGA 内の必要な回路を変更することが出来る。

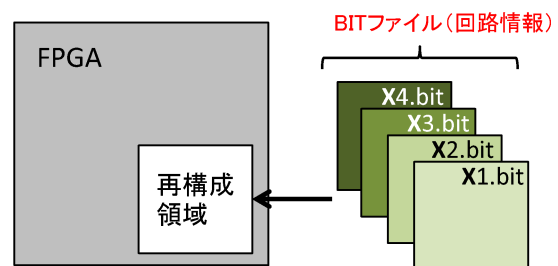


図 1: Partial Reconfiguration の概略図

3. FPGA を用いた専用計算機システム

我々のグループでは、高速な計算機システムを構築するために、FPGA を使用してきた。電子ホログラフィ専用計算機 (HORN)、FFT を用いた高速イメージング用計算機、流体の数値計算の一種である SPH 方専用計算機などである [1, 2]。

しかしながら、FPGA の性質上、回路情報を書き込む際には一度動作を停止しなければならず、様々な処理を始めからやり直さなければならない。こうした作業にかかる時間を短縮するために、ここではパーシャルリコンフィグレーションを用いた専用計算の開発を目的にしている。今回パーシャルリコンフィグレーションを用いて開発を目指す専用計算システムの概要について、図 2 に示した。

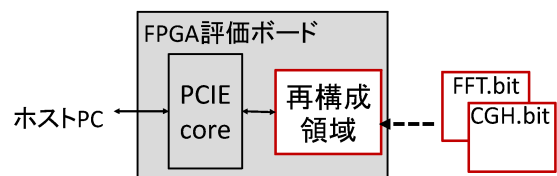


図 2: 専用計算機システム

図 2 のように、FPGA 上に、“PCIExpress” と “専用計算システム” の 2 つのモジュールを書き込むため、それ

*東京理科大学基礎工学部
†千葉大学大学院工学研究科

それぞれのパーティションを設定する。PCIExpress はスタティックモジュールとして最上位デザインの一部として設定し、計算部はリコンフィギュラブルモジュールとして設定する。対象とする計算システムを、'CGH'（電子ホログラフィー専用計算機）と'FFT'（高速イメージング専用計算機）とすると、それぞれのシステムに関するパーシャルBIT ファイルを用意し、必要に応じて回路書き換えることで現在より柔軟なシステムが構築できる。

4. 実験結果

本研究では、パーシャルリコンフィギュレーションの有効性を評価するために、LED の点灯回路という比較的簡単な回路で実験を行った。

4.1 実験環境

専用計算機には、Xilinx 社製の FPGA 評価ボード ML605 を使用した（搭載 FPGA Vertex-6 XC6VLX240T）。また、回路データの作成や FPGA の動作検証を行った環境を表 1 に示す。

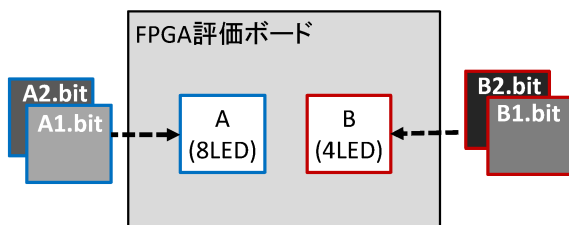


図 3: 実験の概略図

4.2 部分再構成の時間

実験で作成した回路情報 (BIT1 ファイル) のサイズを表 2 に示す。これらのビットファイルを FPGA への書き込みにかかった時間を表 3 に示す。また、実験の概略図を図 3 に示す。

この回路では、LED の点灯を制御する回路を変更することで LED の点灯パターンを変更することが出来るようになっている。ただし、変更する回路と外部の回路を接続する IO の部分は全ての回路で同じものになっている。こうすることで、外部の回路を変更する必要がなくなる。

表 2 と表 3 において、FULL は FPGA 全体を変更する場合で、A1、A2、B1、B2 はパーシャルリコンフィギュレーションを用いた場合である。

この結果より、パーシャルリコンフィギュレーションを利用してパーシャル BIT ファイルを書き込むのにかか

表 2: bit ファイルの大きさ

FULL[KB]	A1[KB]	A2[KB]	B1[KB]	B2[KB]
9,017	308	108	247	47

表 3: FPGA 書き込み時間

FULL[s]	A1[s]	A2[s]	B1[s]	B2[s]
21.784	1.128	0.68	0.988	0.464

る時間は、フル BIT ファイルの書き込みにかかる時間に比べて約 32 倍高速であることが分かった。実際には、書き込むまでの手順も単純化されているため、大幅な時間の短縮が見込まれる。また、フル BIT ファイルの書き込みでは、内部論理回路のデザインの違いに関わらず書き込み時間はほぼ等しくなったのに対し、パーシャル Bit ファイルの書き込みでは、ファイルによって書き込み時間にばらつきが見られ、2 倍以上の差が出るものも確認された。また、この書き込み時間のばらつきが BIT ファイルのサイズに関係していると考えられる。

5. まとめと今後の課題

本研究より、パーシャルリコンフィギュレーションを使用する場合、使用しない場合に比べて約 32 倍の高速化することが確かめられた。また、パーシャルリコンフィギュレーションで行うパーシャル BIT ファイルの書き込みの時間は、パーシャル BIT ファイルのサイズによって変化し、サイズが大きくなるにつれて書き込み時間も長くなることが確認出来た。そのため、書き込むデータが小さければ小さいほど、パーシャルリコンフィギュレーションに適していると考えられる。

今後は、パーシャルリコンフィギュレーションを用いた専用計算システム開発のため、計算部分のフロアプランの範囲指定と回路の条件を規定する ucf ファイルの変更について検討する予定である。また、使用する FPGA 評価ボードを現在専用計算機の使用している virtex-7 の評価ボードに変更する予定である。

謝辞

本研究は JSPS 科研費 25240015, 15K00175, の助成を受けたものです。

参考文献

- [1] Yasuyuki Ichihashi, *et al.* Opt. Express, Vol.17, pp. 13895-13903 (2009).
- [2] N. Masuda *et al.* Opt. Express, 14, 587-592 (2006).

表 1: 開発環境

CPU	Intel Core i5-4440 3.10 GHz
メモリ	8 GB (4GB × 2)
OS	Windows 7 Professional SP1 64bit
FPGA 開発環境	ISE Design Suite 14.4