

Zynq を用いた Full-PIC 法の高速化の検討 Acceleration of Full-PIC method using Zynq

酒井 諒太郎[†] 宮島 敬明[‡] 杉本 成[†] 藤田 直行[‡] 天野 英晴[†]
Ryotaro Sakai Takaaki Miyajima Naru Sugimoto Naoyuki Fujita Hideharu Amano

あらまし

衛星搭載用の電気推進エンジンであるホールスラスタは、高精度な実機試験の実施が困難なために、計算機によるシミュレーションが欠かせない。Full-PIC 法により、実機試験に比べて非常に低コストで試験を行えるものの、処理に膨大な時間がかかるという問題がある [1]。高速化のために、GPU へのオフロード [2] が試みられたものの、コードの構造上メモリバンド幅がボトルネックとなるために GPU は適さず、対象のフェーズ全体では性能が低下していた。ゆえに、FPGA を用いた高速化が検討されている。今回我々は、CPU-FPGA 密結合 SoC である Zynq 上の CPU に Full-PIC 法を実装し、高負荷なフェーズ内の複数の処理を、Zynq 上の FPGA にオフロードすることにより高速化を行った。実装には高位合成ツールである Vivado HLS を用いて効率化を図った。FPGA にオフロードした処理は、ARM Cortex-A9 667MHz と比較して最大 14.31 倍の高速化を達成した。また、フェーズ全体では 5.10 倍の高速化の達成が見込めた。

1. Full-PIC 法

ホールスラスタは、ホール効果を利用した静電加速方式のエンジンであり、そのシミュレーションはプラズマ・シミュレーションの一種である。プラズマの生成、加速や衝突をシミュレーションするために粒子法ベースの手法が用いられており、ホールスラスタの放電の支配方程式は、Particle-In-Cell (PIC) 法を用いて解くことが可能であることが知られている [3]。今回取り扱う Full-PIC 法は、電子のみでなくイオンも粒子として扱い、近似を極力減らしているために非常に計算コストが高いが高精度という特徴を持つ。ゆえに、希薄なプラズマを取り扱うために流体力学的な近似に適さず、高い精度が優先されるホールスラスタのシミュレーションに適している。Full-PIC 法の流れを図 1 に示す。図 1 中のステップ 4 "Charge Extrapolation" が特に重いことが知られており、高速化を考える際はまずこの部分に焦点が当たる。

2. 実装

実装には Xilinx 社の Zed Board を用いた。SD カード上にファイルシステムを展開し、Zynq の CPU 上で Linux を動作させているため、CPU と FPGA 間の通信や処理時間の計測などが容易かつスタンドアロンで可能である。よって、衛星への組み込みも将来的に

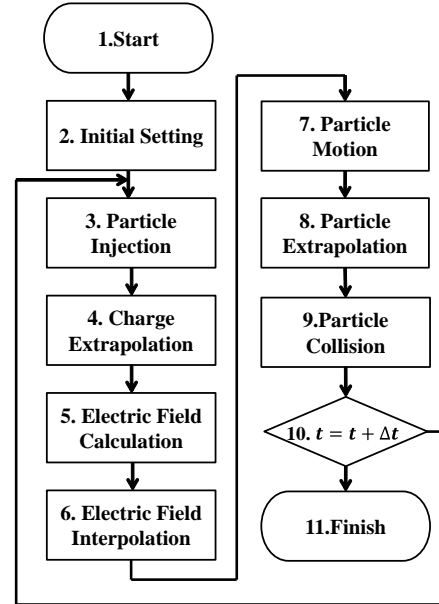


図 1: Full-PIC 法のフローチャート

は実現可能だと考えられた。JAXA で研究開発中であるホールスラスタ・シミュレーションコード "NSRU-Full-PIC" を実装の対象とした。事前の ARM でのプロファイリングを示した図 2 によると、およそ 90% を 3 つのサブルーチン "field source", "particle_att_ion", "particle_att_ele" が占めていることがわかる。ゆえに、最初のステップとしてそれらを FPGA へのオフロード対象とした。どのサブルーチンも高負荷な 4 点ステンスル計算を内部に持つ。FPGA 実装には、Vivado HLS による高位合成を用い、効率化を図った。Xilinx から提供される IP core を含む全てのモジュールを Vivado IP integrater で接続した。

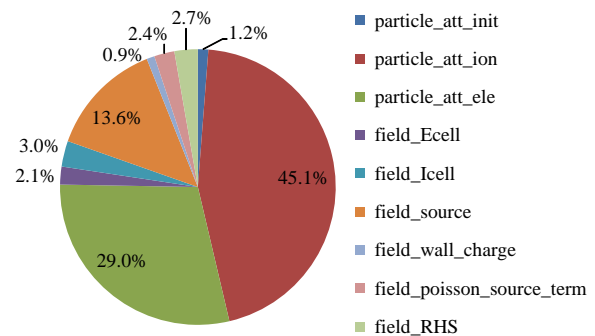


図 2: ARM でのプロファイリング

[†]慶應義塾大学 理工学研究所, Graduate School of Science and Technology, Keio University

[‡]宇宙航空研究開発機構 航空技術部門 数値解析技術研究ユニット, Numerical Simulation Research Unit, Aeronautical Technology Directorate, Japan Aerospace Exploration Agency (JAXA)

使用した FPGA パートのリソースの制限上、実装した 3 つのモジュールのうち、"field_source" のみしかプログラム全体を動かす際に搭載できなかった。図 3 に、"field_source" を搭載した際のシステム全体のブロック図を示す。すべての入出力ポートは AXI Stream で double 型 64bit のデータ転送をしており、ステンシル計算を行う各モジュールの前には Vivado HLS で作成したバッファを挿入している。

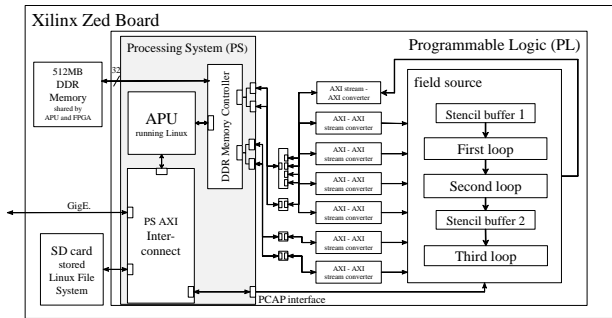


図 3: 全体のブロック図

3. 評価

まず、評価環境を表 1 に示す。1 グリッドは二次元正方格子である。

表 1: 評価環境

| | |
|-----------------|---------------------------------|
| Zynq | XC7Z020-CLG484-1 |
| FPGA part | Artix-7 100MHz |
| CPU part | ARM Cortex-A9 667MHz |
| Memory | DDR3 512MB |
| OS | Linaro Ubuntu 14.04.3 LTS 32bit |
| Compiler | GNU Fortran 4.8.4, gcc 4.8.4 |
| Number of grids | $271 \times 311 = 84281$ |

CPU、実際の FPGA 実装、FPGA 実装の見積りにおける各サブルーチンの実行時間を図 4 に示す。CPU に対する FPGA 実装は、"field_source" において 8.53 倍、"particle_att_ion" において 12.23 倍、"particle_att_ele" において 14.31 倍の性能を達成した。また、実装したフェーズ全体において、5.10 倍の高速化の達成が見込めた。

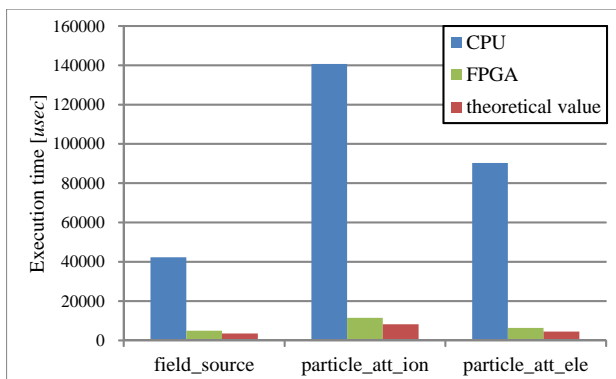


図 4: 実行時間の測定結果

次に、作成した 3 つのモジュールのリソースの使用率を表 2 に、実際に実装したシステム全体のリソースの使用率を表 3 にそれぞれ示す。表 2 に対し、表 3 で BRAM の使用率が圧倒的に増えているのは、ステンシル計算用のバッファのためである。また、それぞれの表を見る限り、実際に実装できるモジュールは、Zed Board 上の Zynq のリソースの制限上 1 つのみであると判断できる。

表 2: 各モジュールのリソース使用率 (%)

| | FF | LUT | BRAM | DSP48 |
|------------------|------|------|------|-------|
| field_source | 29.0 | 19.7 | 0 | 44.6 |
| particle_att_ion | 37.7 | 72.5 | 0 | 77.2 |
| particle_att_ele | 27.1 | 62.4 | 0 | 72.9 |

表 3: システム全体のリソース使用率 (%)

| | FF | LUT | BRAM | DSP48 |
|-------|------|------|------|-------|
| total | 55.4 | 71.7 | 87.1 | 44.6 |

4. 結論

本稿は、Zynq を用いた Full-PIC 法の高速化を検討した。ホールスラスト用シミュレーションコード"NSRU-Full-PIC" を Zynq の CPU 上で完全動作させ、高速化のために一部のサブルーチンを Zynq の FPGA パートにオフロードした。これは前例の無い試みである。オフロードしたサブルーチンは CPU に対して最大 14.31 倍の高速化を達成し、高負荷なフェーズ全体では 5.10 倍の高速化が見込めた。この結果は、GPU での先行研究を踏まえると、ホールスラストのシミュレーションにおいて、GPU に対する FPGA の優位性を示したと言える。また、リソース不足のために作成したモジュールすべてを実装することはできなかったが、設計の最適化を進めることはもちろん、ZC706 のような高性能な Zynq を搭載したボードを用いればシステム全体の更なる性能向上が期待できる。

参考文献

- [1] Sigeru Yokota, Kimiya Komurasaki, and Yoshihiro Arakawa. Plasma density fluctuation inside a hollow anode in an anode-layer hall thruster. Reston, Va, 2006. American Institute of Aeronautics and Astronautics.
- [2] Takaaki Miyajima, Shinatora Cho, and Naoyuki Fujita. A study of gpu acceleration of "source" part in hall-thruster simulation. In *IEICE Tech. Rep.*, Vol. 115 of *CPSY2015-62*, pp. 7–12, Dec. 2015.
- [3] Shinatora Cho, Kimiya Komurasaki, and Yoshihiro Arakawa. Kinetic particle simulation of discharge and wall erosion of a hall thruster. *Physics of Plasmas*, Vol. 20, No. 6, Jun 2013.