

屈折数および交差数による論理回路図の視認性評価法

Logical Circuit Visibility Defined with “Flexion” and “Cross”

原 一彰[†]
Kazuaki HARA

山口 賢一[‡]
Ken'ichi YAMAGUCHI

岩田 大志[‡]
Hiroshi IWATA

1 はじめに

現在の自動配線を行う CAD ツールには、大規模回路に対して高性能を実現する配線を短時間で処理する高速性と、多様な制約条件を満たしながら配線する多機能性が求められている [1]. 制約条件の例としては、配線の総数の制約や電氣的ノイズの制約が挙げられる [2]. 自動配線を行う CAD ツールは、要求されるこれらの性能が向上するように開発される。

また、自動配線の高速化を目指して、逐次処理を前提として開発された線分探索法や迷路法といったアルゴリズムを並列化したアルゴリズムが提案されている [3]. このような並列化したアルゴリズムでは、十分なプロセッサ利用率を得られない場合や、同時処理できる処理単位数に制約を受けることがある [4]. 電源配線に対する自動配線では、IR ドロップ、エレクトロマイグレーション、配線共有化制約を考慮した、配線による占有面積を最小とする電源配線経路の最適化を行う手法が提案されている [5].

しかし、自動配線を行う CAD ツールはその特性上、生成される配線を平面描画した場合の視認性について検討されていない。したがって、CAD ツールによって自動生成された回路図では、設計検証や設計変更を検討するのに十分な視認性が得られない場合がある。特に大規模回路や順序回路の回路図において、視認性の低下が顕著である。ここで、視認性とは、回路図で表現された論理回路の構造の理解のしやすさをいう。

論理回路図と同様に、いくつかの点とそれらの点の接続関係で表される概念としてグラフがある。グラフと論理回路図は、辺 (配線) の交差数や非直線性 (屈折数) が増加すると視認性が低下する点で類似する。グラフの描画の視認性として、文献 [6] では以下の 5 つの基準が提案されている。

1. 上向きの辺が少ないこと。
2. 頂点は平均的に分散すること。
3. 長い辺が少ないこと。
4. 辺の交差数が少ないこと。

5. 辺は直線状であること。

特に、辺の交差数最小化 (基準 4) は、その基準の明確さから重要視されている [7]. また、辺の直線性 (基準 5) は、辺が屈折している部分を数え上げることで得られる。そこで本稿では、論理回路の視認性として配線の交差数および屈折数を用いた基準を提案する。

2 論理回路描画問題

論理回路を平面上に描画する問題を論理回路描画問題という。論理回路描画ではないが、あらかじめ平面上に配置されている n 個の矩形の集合に対して、直交順序を保存し、矩形同士が交差しない、という制約の下で面積最小の再配置を求める問題を直交順序を保存する矩形の非交差再配置問題という。林ら [8] は、この問題を明確に定義し、直交順序を保存する非交差配置がある面積以下で可能かどうかを判定する問題が、NP 完全であることを証明している。本稿では、林らと同様に論理回路描画問題を明確に定義し、信号線の交差数および屈折数を論理回路の視認性の基準とすることを提案する。

2.1 概要

本稿では、論理ゲート、外部入出力端子およびフリップフロップなどの素子を総称して論理素子という。信号線により論理素子を相互に接続したものを論理回路という。また、論理回路を平面上に描画する問題を論理回路描画問題といい、以下の 2 つの部分問題から構成する。

1. 論理素子を配置する問題。
2. 信号線を配線する問題。

2.2 節では、論理回路描画問題を定式化するために必要な諸定義を行い、2.3 節では、その定義をもとに論理回路描画問題を定式化する。

2.2 諸定義

本節では、論理素子の配置および信号線の配線について必要な諸定義を行い、さらに論理回路の視認性を定義する。

[†]奈良工業高等専門学校 電子情報工学専攻

[‡]奈良工業高等専門学校 情報工学科

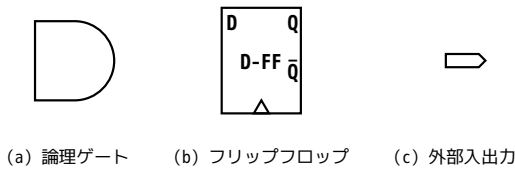


図 1: 論理素子の例

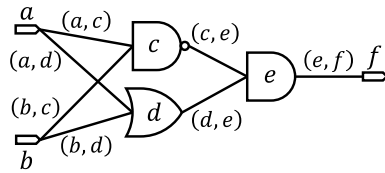


図 3: 論理素子間の接続

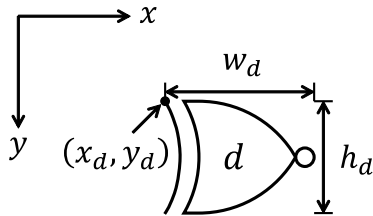


図 2: 論理素子

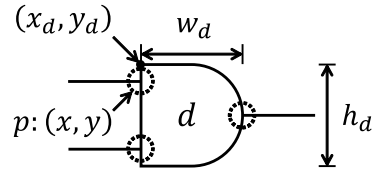


図 4: 端子 (点線で囲った部分)

2.2.1 論理素子と接続

論理回路は、図 1 に例示する論理素子の集合からなる。ここで、論理素子の集合を定義 1 にて示す。

定義 1 (論理素子) 論理素子の集合 D を $D = G \cup P_{in} \cup P_{out}$ と定義する。ただし、

1. G : 1 個以上の論理ゲートで構成される部品の集合
2. P_{in} : 外部入力 of 集合
3. P_{out} : 外部出力 of 集合

とする。 □

図 1 の例では、(a) の論理ゲートおよび (b) のフリップフロップは“1 個以上の論理ゲートで構成される部品”と見なす。

論理素子を 2 次元平面に配置することを考えたとき、論理素子 d は図 2 のようにそれぞれ自然数の x 軸方向の幅 w_d , y 軸方向の幅 h_d をもつ。論理素子について、その配置を定義 2 にて示す。

定義 2 (配置) 論理素子集合 D の配置 π_D を $\pi: D \rightarrow \mathbb{Z}^2$ と定義する。ただし、 \mathbb{Z}^2 は 2 次元整数座標空間である。 □

論理素子集合 D の配置 π_D に対して、各論理素子 $d \in D$ の x 座標値, y 座標値をそれぞれ x_d, y_d と表す。すなわち $\pi_D(d) = (x_d, y_d)$ とする。このとき、図 2 のように配置 π_D によって論理素子 d はその左上が座標 (x_d, y_d) に位置するように配置される。本稿で扱う配置では、論理素子 d の長さ w_d の辺は 2 次元平面の x 軸に平行と

し、論理素子の回転は許さない。また、論理素子の交差は許さない。すなわち、任意の論理素子 $c, d \in D$ に対して式 1 が成り立つ。

$$\left. \begin{aligned} x_c \leq x_d \text{ かつ } y_c \leq y_d \Rightarrow \\ x_c + w_c \leq x_d \text{ または } y_c + h_c \leq y_d \\ x_c \leq x_d \text{ かつ } y_c > y_d \Rightarrow \\ x_c + w_c \leq x_d \text{ または } y_d + h_d \leq y_c \end{aligned} \right\} \quad (1)$$

論理素子は信号線によって相互に接続される。図 3 に例示する論理素子間の接続を定義 3 にて示す。

定義 3 (論理素子間の接続) 論理素子集合 D に対して、 $(c, d) \in D \times D$ を論理素子 c, d 間の接続という。 □

論理回路図において、信号線は論理素子の端子同士を接続するものである。ここで、図 4 に例示する端子を定義 4 にて示す。

定義 4 (端子) 論理素子 $d \in D$ の配置 $\pi_D(d) = (x_d, y_d)$ および、 x 軸方向の幅 w_d , y 軸方向の幅 h_d に対して、端子 p の位置 (x, y) が式 2 を満たすとき、 p を d の端子という。

$$\left. \begin{aligned} x_d \leq x < x_d + w_d \Rightarrow \\ y = y_d \text{ または } y = y_d + h_d - 1 \\ y_d \leq y < y_d + h_d \Rightarrow \\ x = x_d \text{ または } x = x_d + w_d - 1 \end{aligned} \right\} \quad (2)$$

□

論理素子 $d \in D$ 上の n 個の端子の集合を $P_d = \{p_i | i = 1, 2, \dots, n\}$ とする。また、論理素子集合 D 上の端子の集合を $P_D = \{p_i \in P_d | d \in D\}$ とする。

端子間の接続を図 5 に例示する。ただし、図中の a, b, \dots, l は端子を表す。端子間の接続を定義 5 にて示す。

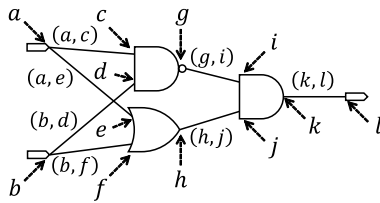


図 5: 端子間の接続

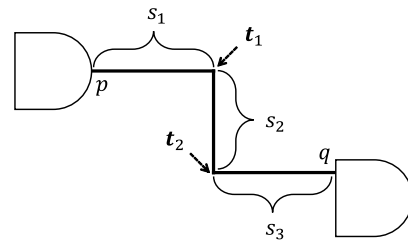


図 7: 端子間の接続 (a,b) の配線

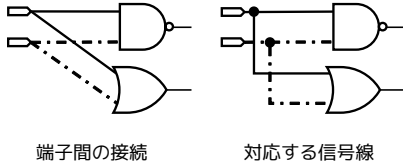


図 6: 端子間の接続と信号線の対応

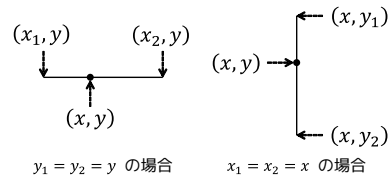


図 8: 位置 (x,y) を通るセグメントの例

定義 5 (端子間の接続) 論理素子集合 D 上の端子集合 P_D に対して, $(p, q) \in P_D \times P_D$ を端子 p, q 間の接続という。□

論理素子 c, d に対して, 端子 p, q がそれぞれ $p \in P_c, q \in P_d$ を満たすとき, 端子間の接続 (p, q) は論理素子間の接続 (c, d) と読み替えることができる。

信号線の分岐部分および交差部分の書き分けを目的として, 端子間の接続と信号線との対応関係を定義 6 にて示す。

定義 6 (信号線) 論理素子集合 D 上の端子集合 P_D に対する端子間の接続 $(p, q) \in P_D \times P_D$ を要素とする集合 $W \subseteq P_D \times P_D$ を信号線という。□

図 6 に, 端子間の接続と信号線との対応関係を例示する。図中の実線で表した 2 組の端子間の接続は, 同じく実線で表した 1 つの信号線に対応する。同様に, 一点鎖線で表した 2 組の端子間の接続は, 同じく一点鎖線で表した 1 つの信号線に対応する。

2.2.2 配線

端子間の接続は, 連続するいくつかの線分により描画する。この線分をセグメントといい, 定義 7 にて示す。

定義 7 (セグメント) 位置 $t_1, t_2 \in \mathbb{Z}^2$ をそれぞれ始点および終点とする線分をセグメントといい, $s = (t_1, t_2)$ と表す。ただし, セグメントは x 軸または y 軸に平行である。□

端子間の接続に対する配線は, 図 7 のように, 1 つ以上のセグメントで表現する。ここで, 端子間の接続の配線を定義 8 にて示す。

定義 8 (端子間の接続の配線) 端子間の接続 $(p, q) \in P_D \times P_D$ に対して, 以下の条件を満たすセグメントの順序集合 $T_{pq} = (s_1, s_2, \dots, s_n)$ を (p, q) の配線という。ただし, $(x_p, y_p), (x_q, y_q) \in \mathbb{Z}^2$ をそれぞれ端子 p, q の位置とする。また, 位置 $t_i \in \mathbb{Z}^2$ ($i = 1, 2, \dots, n-1$) を, 隣接する 2 つのセグメントの共有する位置とする。

1. s_1 の始点が (x_p, y_p) かつ s_1 の終点が t_1
2. s_n の始点が t_{n-1} かつ s_n の終点が (x_q, y_q)
3. s_i ($2 \leq i \leq n-1$) の始点が t_{i-1} かつ終点が t_i

□

信号線の配線は, 信号線に含まれる端子間の接続の配線を要素とする集合で表現する。信号線の配線を定義 9 にて示す。

定義 9 (信号線の配線) 信号線 W に対して, $\mathfrak{T}_W = \{T_{pq} \mid (p, q) \in W\}$ を W の配線という。□

次に, 図 8 に示すような, 2 次元平面上のある位置を通るようなセグメントを, 定義 10 にて示す。

定義 10 (セグメントの通過) 始点, 終点がそれぞれ $(x_1, y_1), (x_2, y_2) \in \mathbb{Z}^2$ であるセグメント s に対して, 位置 $(x, y) \in \mathbb{Z}^2$ が式 3 を満たすとき, s は (x, y) を通るという。

$$\begin{aligned}
 x_1 = x_2 = x &\Rightarrow \begin{cases} y_1 \leq y \leq y_2 & (y_1 \leq y_2) \\ y_2 \leq y \leq y_1 & (y_1 > y_2) \end{cases} \\
 y_1 = y_2 = y &\Rightarrow \begin{cases} x_1 \leq x \leq x_2 & (x_1 \leq x_2) \\ x_2 \leq x \leq x_1 & (x_1 > x_2) \end{cases}
 \end{aligned} \tag{3}$$

□

また、端子間の接続の配線 T に対して、あるセグメント $s \in T$ が位置 $t \in \mathbb{Z}^2$ を通るとき、 T は t を通るといふ。同様に、信号線 W の配線 \mathfrak{T}_W に対して、ある配線 $T \in \mathfrak{T}_W$ が位置 $t \in \mathbb{Z}^2$ を通るとき、 W は t を通るといふ。

2.2.3 配線の制約

信号線集合 \mathfrak{W} および \mathfrak{M} に対する端子間の接続の集合 Q について、端子間の接続 $(p, q) \in Q$ の配線 T_{pq} および信号線 $W \in \mathfrak{W}$ の配線 \mathfrak{T}_W はそれぞれ以下の制約を満たす。

1. 端子間の接続 $(p, q) \in Q$ の配線 T_{pq} は、論理素子 c, d を除くいかなる論理素子とも交差しない。ただし、端子 p, q に対して、 c, d は $p \in P_c, q \in P_d$ を満たす論理素子である。
2. t における信号線数 $n_{\mathfrak{W}}(t) = 2$ を満たす位置 $t \in \mathbb{Z}^2$ を通る互いに素な信号線 $V, W \in \mathfrak{W}$ について、その配線 $\mathfrak{T}_V, \mathfrak{T}_W$ は互いに直交する。

ここで、端子間の接続の配線と論理素子との交差を定義するために、ある位置が論理素子上に存在することを定義 11 にて示す。

定義 11 (位置と論理素子との交差) 論理素子 d の配置 $\pi(d) = (x_d, y_d)$ および、 x 軸方向の幅 w_d 、 y 軸方向の幅 h_d に対して、位置 $(x, y) \in \mathbb{Z}^2$ が、式 4 を満たすとき、 (x, y) は d と交差するという。

$$x_d \leq x < x_d + w_d \quad \text{かつ} \quad y_d \leq y < y_d + h_d \quad (4)$$

□

ここで、ある位置 $t \in \mathbb{Z}^2$ を通るセグメント s について、 t が論理素子 d と交差するとき、 s は d と交差するという。同様に、端子間の接続の配線 T について、あるセグメント $s \in T$ が論理素子 d と交差するとき、 T は d と交差するという。

ある位置において端子間の接続の配線が直交することを定義 12 にて示す。

定義 12 (端子間の接続の配線の直交) 位置 $t \in \mathbb{Z}^2$ を通る端子間の接続 $(p_1, q_1), (p_2, q_2)$ の配線 $T_{p_1q_1}, T_{p_2q_2}$ に対して、 t を通るセグメントをそれぞれ $s_1 \in T_{p_1q_1}, s_2 \in T_{p_2q_2}$ とする。 s_1, s_2 が式 5 を満たすとき、 $T_{p_1q_1}, T_{p_2q_2}$ は直交するという。ただし、セグメント s の始点および終点の位置を $(x_1(s), y_1(s)), (x_2(s), y_2(s)) \in \mathbb{Z}^2$ と表す。

$$\begin{aligned} x_1(s_1) = x_2(s_1) &\Rightarrow y_1(s_2) = y_2(s_2) \quad \text{かつ} \\ y_1(s_1) = y_2(s_1) &\Rightarrow x_1(s_2) = x_2(s_2) \end{aligned} \quad (5)$$

□

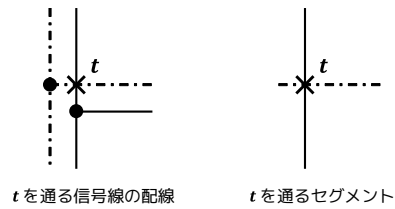


図 9: 信号線の配線の直交

また、ある位置で信号線の配線が直交することを定義 13 にて示す。

定義 13 (信号線の配線の直交) 位置 $t \in \mathbb{Z}^2$ を通る互いに素な信号線 V, W の配線 $\mathfrak{T}_V, \mathfrak{T}_W$ に対して、 t を通る端子間の接続の配線集合をそれぞれ $\mathfrak{T}'_V = \{T_V \in \mathfrak{T}_V \mid T_V \text{ は } t \text{ を通る}\}$ 、 $\mathfrak{T}'_W = \{T_W \in \mathfrak{T}_W \mid T_W \text{ は } t \text{ を通る}\}$ とする。 $\mathfrak{T}'_V, \mathfrak{T}'_W$ が式 6 を満たすとき、 $\mathfrak{T}_V, \mathfrak{T}_W$ は直交するという。

$$\forall (T_V \in \mathfrak{T}'_V) \forall (T_W \in \mathfrak{T}'_W) (T_V \text{ と } T_W \text{ は直交する}) \quad (6)$$

□

図 9 に、位置 $t \in \mathbb{Z}^2$ において信号線の配線が直交する例を示す。図中の実線で示したセグメントは、同じく実線で示した信号線の配線に対応し、一点鎖線で示したセグメントは、同じく一点鎖線で示した信号線の配線に対応する。ただし、 t を通るセグメントは、1 つの信号線の配線に対して複数存在することがある。この例では、実線で示したセグメントは全て y 軸に平行であり、一点鎖線で示したセグメントは全て x 軸に平行であるからいずれも式 5 を満たす。したがって、実線で示した信号線の配線と一点鎖線で示した信号線の配線は式 6 を満たす。よって、2 つの信号線は t において直交している。

2.2.4 視認性

ここで、論理回路の視認性を定義するために、信号線交差数および信号線屈折数を考える。

まず、信号線交差数を定義するために、ある位置における信号線数を定義 14 にて示す。

定義 14 (信号線数) 信号線集合 \mathfrak{W} および位置 $t \in \mathbb{Z}^2$ に対して、 $n_{\mathfrak{W}}(t) = |\{W \in \mathfrak{W} \mid W \text{ は } t \text{ を通る}\}|$ を、 t における信号線数と定義する。

□

信号線数に関して補題 1 が成り立つ。

補題 1 任意の位置 $t \in \mathbb{Z}^2$ において、信号線集合 \mathfrak{W} に対する信号線数 $n_{\mathfrak{W}}(t)$ は常に 2 以下である。

□

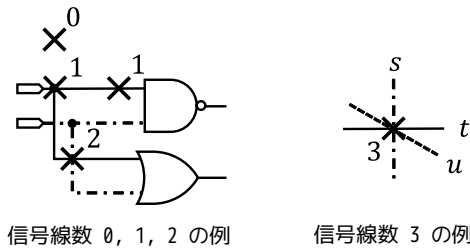


図 10: 信号線数とセグメント

[証明]

図 10 に示すように、信号線集合 \mathfrak{W} に対する信号線数 $n_{\mathfrak{W}}(t)$ が 3 である位置 $t \in \mathbb{Z}^2$ を仮定すると、 t を通る、 x 軸にも y 軸にも平行でないセグメントが存在することになる。また、 $n_{\mathfrak{W}}(t)$ が 4 以上の場合も同様に、 x 軸にも y 軸にも平行でないセグメントが存在することになる。しかし、定義 7 から、セグメントは x 軸または y 軸に平行でなければならない。したがって、信号線数は 3 以上であってはならない。以上により、信号線数 $n_{\mathfrak{W}}(t)$ はどの位置 $t \in \mathbb{Z}^2$ においても常に 2 以下となる。 □

信号線数に関して定理 1 が成り立つ。

定理 1 信号線集合 \mathfrak{W} に対して、位置 $t \in \mathbb{Z}^2$ における信号線数 $n_{\mathfrak{W}}(t)$ が 2 のとき、またそのときに限り、 t において信号線が交差する。 □

[証明]

信号線集合 \mathfrak{W} に対して、位置 $t \in \mathbb{Z}^2$ における信号線数 $n_{\mathfrak{W}}(t)$ が 0 または 1 の場合、 t において信号線が交差し得ない。同様に、 $n_{\mathfrak{W}}(t)$ が 2 以上の場合、 t において信号線が交差する。また、補題 1 より、 $n_{\mathfrak{W}}(t)$ は 3 以上になり得ない。以上により、 $n_{\mathfrak{W}}(t)$ が 2 のとき、またそのときに限り、信号線が交差する。 □

定理 1 を用いて、信号線交差数を定義 15 にて示す。

定義 15 (信号線交差数) 信号線集合 \mathfrak{W} に対して、 $C_{\mathfrak{W}} = |\{t \in \mathbb{Z}^2 \mid n_{\mathfrak{W}}(t) = 2\}|$ を、 \mathfrak{W} に対する信号線交差数という。 □

信号線屈折数を定義するために、ある位置における信号線の屈折の有無を定義 16 にて示す。

定義 16 (信号線の屈折) 信号線集合 \mathfrak{W} に対して、位置 $t = (x, y) \in \mathbb{Z}^2$ における信号線数 $n_{\mathfrak{W}}(t)$ が 1 であり、かつ、 t を通る唯一の信号線 $W \in \mathfrak{W}$ の配線 \mathfrak{T}_W に対して、以下を満たすセグメントの集合 $S_1, S_2 \subseteq \{s \in T \mid T \in \mathfrak{T}_W, s \text{ は } t \text{ を通る}\}$ が存在するとき、 t において信号線が屈折しているという。

1. 集合系 $\{S_1, S_2\}$ は \mathfrak{T}_W の分割。
2. $\forall((x_1, y_1), (x_2, y_2)) \in S_1)(y_1 = y_2 = y$ かつ $x_1 = x)$ または $\forall((x_1, y_1), (x_2, y_2)) \in S_1)(y_1 = y_2 = y$ かつ $x_2 = x)$
3. $\forall((x_1, y_1), (x_2, y_2)) \in S_2)(x_1 = x_2 = x$ かつ $y_1 = y)$ または $\forall((x_1, y_1), (x_2, y_2)) \in S_2)(x_1 = x_2 = x$ かつ $y_2 = y)$ □

視認性を定義するために、信号線屈折数を定義 17 にて示す。

定義 17 (信号線屈折数) 信号線集合 \mathfrak{W} に対して、配線の屈折数 $F_{\mathfrak{W}} = |\{t \in \mathbb{Z}^2 \mid t \text{ において信号線が屈折している}\}|$ を信号線屈折数という。 □

信号線交差数および信号線屈折数が視認性に対してそれぞれ同等の影響を与えると仮定したとき、信号線交差数および信号線屈折数を用いて、論理回路の視認性を定義 18 にて示す。

定義 18 (視認性) 論理回路の信号線集合 \mathfrak{W} に対して、 $\rho_{\mathfrak{W}} = 1/(C_{\mathfrak{W}} + F_{\mathfrak{W}})$ を論理回路の視認性という。 □

2.3 定式化

ここで、信号線交差数および信号線屈折数を視認性の基準とする、論理回路描画問題を定義 19 にて示す。

定義 19 (論理回路描画問題)

入力: 論理素子集合 D , 信号線集合 \mathfrak{W}
 出力: D の配置 π_D , 全ての信号線 $W \in \mathfrak{W}$ に対する W の配線 \mathfrak{T}_W □

論理回路描画問題の部分問題として、論理素子配置を行う論理素子配置問題、および、信号線の配線を行う配線問題を考える。まず、論理素子配置問題を定義 20 にて示す。

定義 20 (論理素子配置問題)

入力: 論理素子集合 D , 信号線集合 \mathfrak{W}
 出力: D の配置 π_D □

次に、論理素子配置問題を解いて得られる論理素子集合 D の配置 π_D を用いて信号線の配線を行う配線問題を定義 21 にて示す。

定義 21 (配線問題)

入力: 論理素子集合 D , D の配置 π_D , 信号線集合 \mathfrak{W}
 出力: 全ての信号線 $W \in \mathfrak{W}$ に対する W の配線 \mathfrak{T}_W □

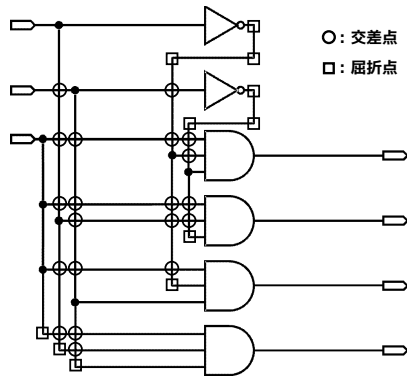


図 11: デマルチプレクサの平面描画 1

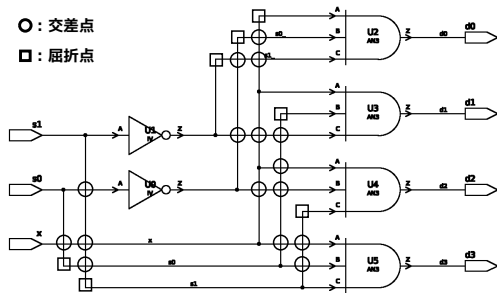


図 12: デマルチプレクサの平面描画 2

3 評価実験

提案した視認性評価指標を評価するために、同一のデマルチプレクサに対して図 11 および図 12 に示すような 2 つの異なる平面描画を考える。ここで、図 11 は、論理回路描画問題に対する適当なアルゴリズムを実装して得たものであり、図 12 は Synopsis 社の論理合成 CAD ツールである Design Compiler によって得たものである。

図 11 の描画に対する視認性を求めるために、まず交差数および屈折数を求めた。交差数は信号線数が 2 となる位置 (図中の円で囲った部分) を数え上げて求め、その数は 20 であった。屈折数は信号線が屈折している位置 (図中の正方形で囲った部分) を数え上げて求め、その数は 11 であった。これらから、図 11 の描画に対する視認性は 0.3226 である。

同様に、図 12 の描画に対する交差数は 16、屈折数は 7 であった。よって図 12 の描画に対する視認性は 0.04348 である。

視認性の値から、図 11 よりも図 12 の方が、回路図で表現された論理回路の構造を理解しやすい。実際に、図 11 の描画では、2 個の NOT ゲートの出力から 3 個の AND ゲートの入力に至る配線は左向きにたどる必要があり、論理回路の構造の理解を困難にしている。一方、図 12 の描画では全ての信号線は上下方向または右

向きにたどることができ、外部入力から外部出力へ至る方向と等しいため、論理回路の構造の理解は容易である。

よって、提案した視認性評価指標は、回路図で表現された論理回路の構造の理解しやすさに対して合理的である。

4 まとめ

画面などの平面上に描画された論理回路について、その論理構造を効率的に理解するためには、回路図が見やすいことが必要不可欠である。見やすい回路図を描画する手法としては、人間によって論理回路図の見やすさを定性的に評価し、試行錯誤を繰り返して論理回路を描画する手法が考えられるが、作業者ごとの能力差や評価のばらつきにより同じ論理回路に対する論理回路図の視認性や、描画に要する時間が一定でないという問題がある。本稿では、見やすい回路図を描画するために、屈折数と交差数による論理回路図の視認性評価方法を提案した。

今後の課題としては、提案した視認性評価方法の、回路図で表現された論理回路の構造の理解のしやすさに対する合理性を実験的に評価することが挙げられる。また、視認性を最適化目標としたときの論理回路描画問題を解く論理回路描画アルゴリズムを提案し、回路図を平面描画した際の視認性が高く、設計検証や設計変更が検討しやすい回路図を得ることが望まれる。

参考文献

- [1] 松岡 英俊, 新田 泉: “大規模配線システム: GRP,” Fujitsu, pp.372-377, 1999-11.
- [2] 豊永 昌彦, 来栖 正博, ウプル ヘラス: “次世代 SiP (System-in-Package) 自動配線法の検討,” 高知の情報科学, Vol.2. No.6, 2010-03.
- [3] 佐野 雅彦, 高橋 義造: “分散メモリ型と共有メモリ型マルチプロセッサによる並列配線処理の性能評価,” 情報処理学会論文誌 33(3), pp.369-377, 1992-03.
- [4] 鈴木 響太郎, 花田 彰, 天野 英晴, 武藤 佳恭: “ニューラルネットワークに基づく並列自動配線アルゴリズム,” 情報処理学会研究報告. 計算機アーキテクチャ研究会報告 93(111), pp.9-16, 1993-12.
- [5] 坂口 隆則, 白石 洋一: “配線長最小化と配線経路共有最大化を調和させる自動配線手法,” エレクトロニクス実装学会講演大会講演論文集 22, pp.75-76, 2008-03.
- [6] Michael Kaufmann and Dorothea Wagner: “Drawing Graphs,” Springer Berlin Heidelberg, pp.87-120, 2001.
- [7] 山口 敦子, 杉本晃宏: “2-階層グラフ描画に対する近似アルゴリズム,” 情報処理学会研究報告, アルゴリズム研究会報告 98(78), pp.33-40, 1998-09.
- [8] 林 邦彦, 井上 美智子, 増澤 利光, 藤原 秀雄: “直交順序を保存する矩形の非交差再配置問題について,” 電子情報通信学会技術研究報告, コンピューテーション 97(375), pp.41-48, 1997-11.