

プログラマブル通信制御フレームパーサー回路の提案と評価 Proposition and Evaluation of Communication-Control Processor for Frame Parsing

八田 彩希[†] 田中 伸幸[†] 重松 智志[†]
Saki Hatta Nobuyuki Tanaka Satoshi Shigematsu

1. はじめに

近年、通信用 LSI には大量のトラヒックを短時間で処理する高速処理性と、多様な通信サービスに対応可能な柔軟性の両立が強く求められている。一般的に通信用 LSI は主信号を処理するためのデータ伝送処理回路と、通信用機器間の制御を行う通信制御プロトコル処理回路より構成する[1]。新たなサービスが追加される場合、新規に通信制御プロトコルを処理できるようにする必要がある為、従来はソフトウェアでこの処理を追加してきた[2]。しかしながら、ソフトウェアで柔軟性を確保する場合、プロトコル処理の種類が増加していくと CPU 負荷が増大するという課題がある。そこで我々は、プログラムで処理内容が追加・変更可能な通信制御プロトコル処理用プログラマブルハードウェアを提案してきた[3]。

本稿では上記の通信制御プロトコル処理用プログラマブルハードウェアのうち、入力されたフレームのプロトコル種別を解析して処理を行うパーサー回路のアーキテクチャと、シミュレーションにより柔軟性と高速処理性の評価を行った結果について述べる。

2. 通信制御フレームパーサー回路への要求条件

高速処理が可能な通信用 LSI では、フレームデータを多バイト同時に処理することが多い。通信制御フレームパーサー回路では、1 クロック毎に入力されるフレーム情報の一部（フィールド）を参照して、入力されたフレームの種別を判定し、種別に応じた処理を行う。提案するパーサー回路では、この処理を下記に示す高速処理性と柔軟性で実行する必要がある。

- ・高速処理性：バースト的に連続入力されるフレームであっても、フレームロスなく処理が可能であること、すなわち、最小フレーム間ギャップで入力されるフレームの処理が可能であること
- ・柔軟性：フォーマットの異なる多種類の通信制御フレームを処理可能であること

3. 提案する通信制御フレームパーサー回路

3.1 全体概要

本稿で提案するプログラマブル通信制御フレームパーサー回路の全体構成図を図 1 に示す。通信制御フレームパーサー回路は入力処理ブロックと制御ブロックにより構成する。入力処理ブロックにおいて入力フレーム情報を 1 クロック毎に受信し、入力フレーム情報の抽出範囲や判定範囲を指定する制御信号が制御ブロックより出力される。抽出・判定した結果に応じて、制御ブロックから出力される制御信号の内容をクロック単位で変更する構成

により、入力処理ブロックにおける処理内容を変更可能とする。これにより、入力されるフレームに応じて様々な通信制御プロトコルの処理が可能となる。入力処理ブロックと制御ブロックの連携によるパーサー処理の終了後、処理結果は CPU へと出力される。

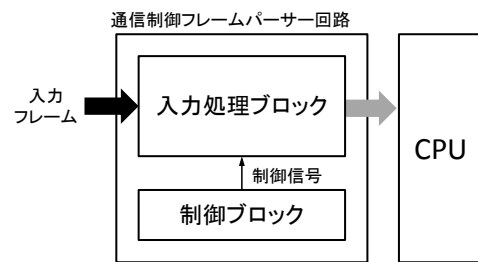


図 1 通信制御フレームパーサー回路の概略図

3.2 入力処理ブロック

入力処理ブロックの詳細アーキテクチャを図 2 に示す。入力処理ブロックは、入力されたフレーム情報の任意のフィールドを抽出し、抽出したフィールドに対して判定を実行する…という操作を繰り返し行うため、抽出を行う抽出部と判定を実行する加工部を継続に接続し、加工部からの出力を抽出部へと戻して入力する構成とした。さらに、フレーム種別を確定した後に対応する処理を実行可能とするために、遅延部を設け、フレームデータの一時的な蓄積を可能とする構成とした。

抽出部は N byte (1word) 単位で入力されるフレームのうち、1 byte を選択するセレクトと、それを保持するレジスタが継続接続される基本抽出回路を L 個並列に配置して構成する。制御ブロックより抽出フィールドをどのレジスタに保持するかを指示する制御信号を出力することで、プログラムに従った任意のフィールドを抽出可能とする。またレジスタからの出力を基本抽出回路の入力に接続することで、レジスタ間のデータ移動を可能とした。これにより、抽出基本回路を複数のグループに分割して、グループ間でパイプライン動作をさせることができ、高速性を確保することができる。

加工部は抽出フィールドのうち 1 byte を選択するセレクトと選択結果に対し演算を行う演算器が継続接続される加工基本回路を M 個並列に配置して構成する。演算結果を制御ブロックと抽出基本回路の入力に接続することで、演算結果に応じて制御信号出力を変更可能とする。とともに演算結果を入力フレーム情報と同様に取扱うことを可能とした。

3.3 制御ブロック

パーサー回路への要求条件を満たす制御ブロックの動作としては①入力処理ブロックからの出力信号に応じて、異なる制御信号を 1 クロック毎に出力できること、②入力処理ブロックや出力処理ブロックにおいて制御対象とな

[†] 日本電信電話株式会社 NTT Corporation

る各基本回路を複数個まとめたグループに対して、グループ毎に上記の制御処理を同時かつ独立に制御可能なことが求められる。

これらを実現する制御ブロックのアーキテクチャを図3に示す。提案アーキテクチャでは、外部信号の内容に基づき、制御対象への次サイクルの制御内容を決定し、制御信号を出力する制御基本回路を K 個有し、それらが連携して動作が可能な構成とした。制御基本回路は他処理ブロックからの演算結果を次サイクルの制御信号内容に反映させるための演算結果処理部と、制御基本回路同士が連携するためにフラグ信号を処理するフラグ処理部、プログラムカウンタとプログラムメモリより構成する。

演算結果処理部あるいはフラグ処理部の処理結果に応じて次サイクルのプログラムカウンタ値を変更し、①の動作を実現できる。フレームデータと同時に入力される有効フラグや他の制御基本回路より入力されるフラグ信号を、図3に示すフラグ処理部で処理を実行し、その結果に応じてプログラムカウンタの値を適宜変更することにより、②の動作を実現できる。プログラムメモリには入力処理ブロックへと出力する制御信号のコードが記述される。新規プロトコルを追加する場合は新たな制御コードを記述することで、その処理が可能となる。

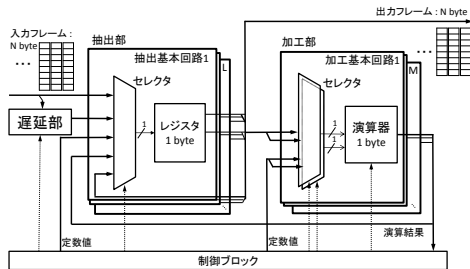


図2 入力処理ブロックのアーキテクチャ

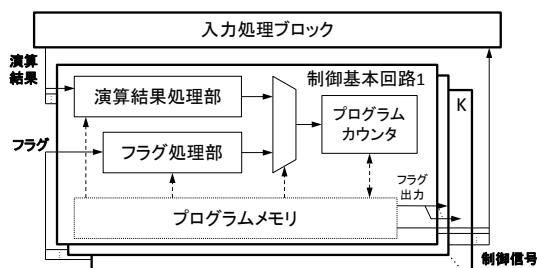


図3 制御ブロックのアーキテクチャ

4. シミュレーションによる評価

提案アーキテクチャの高速処理性と柔軟性を評価するために、SystemC を用いてサイクル精度でハードウェアモデルを作成し、実フレームの入力を模擬したシミュレーションを行った。ハードウェアモデル作成の為に、表1に示す4種類の通信制御プロトコルフレームの処理内容を提案回路へとマッピングした。4種類の通信制御フレームはMAC層からIP層までのデータフィールドの抽出と判定を実行する多様な種類のフレームを選択した。

マッピング手法については、提案アーキテクチャの有効性に主眼をおくために手作業で行い、 K 、 L 、 M の個数はマッピング結果に合わせて発見的に決定した。結果として、入力処理ブロックに必要なレジスタは40byte、演算器は16byteであり、制御基本回路の個数は3つであった。これは通信用LSIに適用しても現実的な回路規模である。さらに、マッピングしたハードウェアモデルに対し、表1に示す各フレームを8byte並列かつ、ワースト条件である“入力フレーム間ギャップ=0サイクル”の条件で順次入力し、表1に示す処理が実行されているかを確認した。入力処理ブロックへと入力されるフレーム情報（input_frame[7:0]）と入力処理後のフレーム情報（output_frame[7:0]）の波形を図4に示す。図4より、表1に示す種別の異なるフレームが8byte並列に最小入力フレーム間ギャップで順次入力されている入力波形と、入力フレーム情報に対して、表1に示す各抽出処理や加工処理がフレームロスなく実行されている出力波形が観察できた。

以上の結果から、制御ブロックにおける3つの基本制御回路が連携動作することにより、入力処理ブロックの制御が可能となり、フレーム種別ごとに異なる処理を実行できたことが明らかとなった。すなわち、提案アーキテクチャを適用することにより、ハードウェアの再設計をすることなく通信制御プロトコル処理が追加できる柔軟性と、プロトコル処理を追加してもフレームロスしない高速処理性が実現可能な見通しを得ることができた。

表1 マッピングフレーム種別と処理内容

プロトコル種別	フレーム種別	入力処理内容
MPCP	Register_request	種別判定、廃棄判定、RTT計算、出力情報抽出
	Register_ack	種別判定、廃棄判定、RTT計算、データ一致不一致判定、出力情報抽出
SlowP	InformationOAM_PDU	種別判定、データ一致不一致判定、出力情報抽出
IPv6	MLD_Listenerreport	種別判定、データ一致不一致判定、出力情報抽出

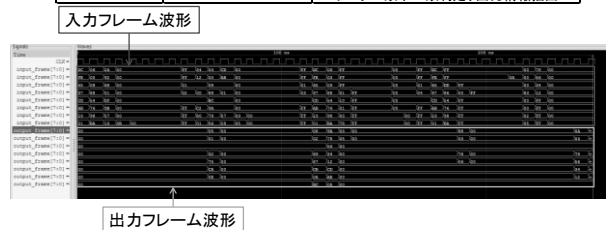


図4 シミュレーション波形結果

5. まとめ

本稿では、プログラマブル通信制御フレームパーサー回路の提案と、その処理性能及び柔軟性をハードウェアモデルを用いたシミュレーションにより評価した。その結果、提案回路は様々なフレームフォーマットの通信制御プロトコルのパーサー処理をフレームロスなく処理可能であることを明らかにした。

参考文献

- [1]M.Urano, et al., Dig. Symp. VLSI Circuit, pp.132-133, (2011).
- [2]N.Miura, et al., "Extendable point-to-multi-point protocol processor for 10G-EPON MAC SoCs,"International Symposium on Circuits and Systems (ISCAS), pp.1464-1467, (2012).
- [3]八田他, "通信制御プロトコル処理用プログラマブルハードウェアの提案", 信学全国大会 D-18-2, 2013年3月.