

FPGA を用いた位相ホログラム専用計算機 HORN-7 の開発 Special Purpose Computer for Phase Modulation Type Electro-Holography

増田 信之* 平井 大智* 岡田 直久* 紀井 建彦* 角江 崇* 下馬場 朋禄*
伊藤 智義* 市橋 保之†

Nobuyuki Masuda Daichi Hirai Naohisa Okada
Tomoyoshi Ito

Takehiko Kii Takashi Kakue Tomoyoshi Shimobaba
Yasuyuki Ichihashi

1. まえがき

3次元映像を表示する技術にホログラフィというものがある。ホログラフィでは3次元映像をホログラムと呼ばれる光の干渉縞に記録し、これに参照光と呼ばれる光を当てることにより、記録した3次元像を再生する。これを応用した技術に電子ホログラフィがあり、3次元テレビへの応用が研究されてる。電子ホログラフィによる3次元テレビの実用化にはいくつかの問題点があり、その一つである計算機上でホログラムを作成するのに時間がかかることがあげられる。本研究室ではこの問題を解決するために、計算機合成ホログラム (CGH) 専用計算機, HORN(Holographic ReconstructioN)[1, 2]を開発した。

また、問題点の一つとして、再生される3次元像の高精細化がある。これに関しては、使用するホログラムによって改善できる。ホログラムには、振幅型と位相型の2種類があり、これらを比較すると位相型の方が良質な像を再生することがわかっている。そのため、ホログラム専用計算機 HORN においても位相ホログラム用の専用計算機 HORN-7 が開発された。

しかし、これは実装に用いた FPGA(Field Programmable Gate Array) が旧式である等の欠点があるため、本研究では HORN-7 を最新型 FPGA を搭載した評価ボード (ML605 Xilinx 社製) 上に実装し、位相ホログラム計算の更なる高速化を目指す。

2. 計算アルゴリズム

位相ホログラムをコンピュータによる計算で作成するには、以下のような式を計算させ、ホログラム面上での光の複素振幅 I 及びその偏角 ψ を求める必要がある。

$$\psi(x_a, y_a) = \arg[I(x_a, y_a)] \quad (1)$$

$$I(x_a, y_a) = \sum_j^N \exp i(2\pi \theta_{a,j}) \quad (2)$$

ここでは、 $(x_a, y_a, 0)$ をホログラム面上の点の座標、 (x_j, y_j, z_j) を対象となる3次元物体の物体点の座標としている。

本システムでは式中の $\theta_{a,j}$ を求める計算を漸化式の形にしているため、各物体点に対して計算のパイプライン化が可能である。つまり最初の画素を計算した後、隣接する画素を計算すると同時に次の物体点に対して最初の画素の計算を行うことができる [3]。漸化式を以下に示す。

$$\theta_{a,j} = \frac{p|z_j|}{\lambda} + \frac{p}{2\lambda|z_j|}(x_{aj}^2 + y_{aj}^2) \quad (3)$$

$$\Delta_{a,j} = \frac{p}{2\lambda|z_j|}(2x_{aj} + 1) \quad (4)$$

$$\Gamma_j = \frac{p}{\lambda|z_j|} \quad (5)$$

$$\theta_{(a+n),j} = \theta_{(a+n-1),j} + \Delta_{(a+n-1),j} \quad (6)$$

$$\Delta_{(a+n),j} = \Delta_{(a+n-1),j} + \Gamma_j \quad (7)$$

3. 設計回路概要

今回作成した HORN-7 は PCI Express を通じてホスト PC から物体点に関するデータを受け取り、計算結果を PCI Express を通じてホスト PC へと返している。HORN-7 に含まれる主な回路はこうした通信と計算の制御を行うユニットである **HORN CONTROL**、実際に計算を行うユニットである **HORN CORE** である。HORN CORE のブロック図を図 1 に示す。

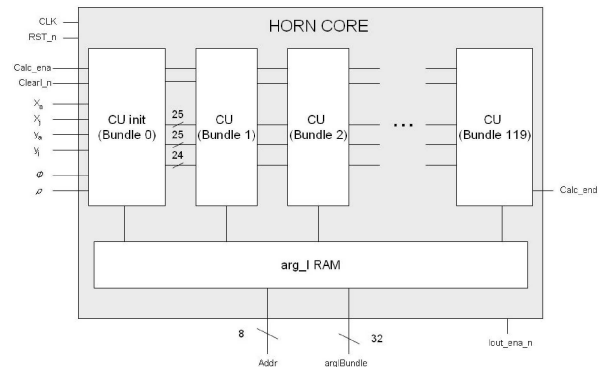


図 1: HORN CORE ブロック図

今回作成した回路は計算ユニットが4つで1つのまゝりになっており、HORN CORE には式 (3), 式 (4), 式 (5) の初期位相計算を行う BPU が1つと式 (6), 式 (7) の加算位相計算を行う APU が3つとまとめた **CU init** が1つ、APU が4つとまとめた **CU** が119個搭載されている。これにより、パイプライン段数が480となり、480画素分のデータを一度に計算することができる。

4. Performance

今回作成した回路の回路面積と動作周波数を表 1 に示す。新システムに使用したボードは、Xilinx 社製の

*千葉大学大学院工学研究科

†NICT

Vertex-6 評価基板 ML605(図2)である。このボードには通信用及び論理用 FPGA として、Xilinx 社の FPGA, Vertex-6 XC6VLX240T(ロジックセル数, 241,152)が搭載されており、また、外部メモリとして 512MB の DDR3 SODIMM が搭載されている。

表 1: HORN-7 仕様

回路面積	LUT 使用率	58 %
	Register 使用率	34 %
最大動作周波数		188.4 MHz
動作周波数		180.0 MHz
内部 RAM 使用率		46 %
パイプライン段数		480 段



図 2: Vertex-6 評価基板 ML605

また、今回作成した新 HORN-7, 旧ボード上に実装した旧 HORN-7, 汎用 CPU(Intel Core i7) それぞれを用いて 16,384 点の物体のホログラム ($1,920 \times 1,080$ 画素) の計算を行った結果, Core i7 を 1 としたときの高速化比を表 2 に示す。旧 HORN-7 は, 動作周波数が 100MHz, パイプライン段数が, 640 段 (4chip 使用時:1chip あたり 160 段) である。

表 2: 高速化比

	演算時間 [sec]	高速化比
新 HORN-7	0.409	349.579
旧 HORN-7	0.716	199.119
Core i7	142.569	1

新 HORN-7 では Core i7 の約 350 倍, 旧 HORN-7 が 1 ボードに搭載されているチップを全て (4 つ) 使った場合よりも約 2 倍の高速化を 1 チップで行うことに成功している。

倍精度の CPU 及び新 HORN-7 で作成したホログラムから再生した像を図 3 に示す。左が CPU によるもので, 右が HORN-7 によるものである。ほぼ変わらない

像が得られたことから, 計算の精度にも問題がないことがいえる。

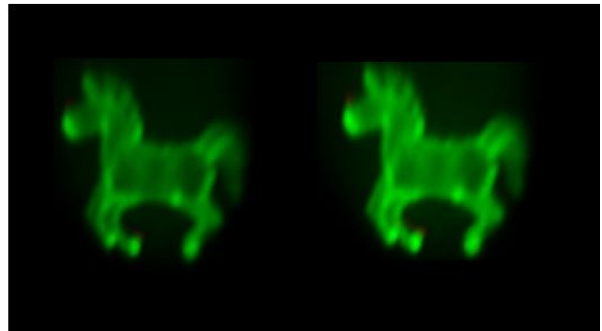


図 3: 再生像 (左:CPU, 右:HORN-7)

5. まとめと今後の課題

本研究では, 位相ホログラムの計算を汎用 CPU の約 350 倍, 旧システムの約 2 倍高速化することに成功した。今後専用計算機システムを実用化するにあたって, ボードやチップのクラスタ化を行うことによって更なる計算の高速化が期待できる。

また, 今回の研究では ML605 に搭載されているインターフェースを PCI Express しか用いなかった。そのため, 外部 DDR Memory を用いた RAM 容量の増加によるパイプライン段数の増加や, DVI 出力端子を用いた単方向通信システムの開発等の他のインターフェースの利用を行うとシステムの更なる改善ができると考えられる。

謝辞

本研究の一部は, 科学研究費補助金基盤研究 (C)(課題番号 24500056) による。

参考文献

- [1] Tomoyoshi Ito, *et al.* Opt. Express, Vol.13, pp 1923-1932 (2005)
- [2] Yasuyuki Ichihashi, *et al.* Opt. Express, Vol.17, pp. 13895-13903 (2009)
- [3] Tomoyoshi Shimobaba, *et al.* Comput. Phys. Commun., Vol.138, No.1, pp. 44-52 (2001)