

DVI出力を持つ電子ホログラフィ専用計算機の開発 Special Purpose Computer for Holography with DVI output

増田 信之*

中村 哲平*

老川 稔*

西辻 崇*

紀井 建彦*

下馬場 朋禄*

伊藤 智義*

市橋 保之†

Nobuyuki Masuda

Teppeï Nakamura

Minoru Oikawa

Takashi Nishitsuji

Takehiko Kii

Tomoyoshi Shimobaba

Tomoyoshi Ito

Yasuyuki Ichihashi

1. まえがき

究極の三次元映像技術として、物体からの反射光を直接記録・再生することのできる技術、ホログラフィがある。また、そのホログラフィを高精細 LCD (Liquid Crystal Display) などの電子デバイスを用いて再生する手法を電子ホログラフィとよび、電子ホログラフィを用いた三次元テレビの研究が行われている。しかし、三次元映像再生時に用いる CGH (Computer Generated Hologram) の作成には膨大な演算が必要であり、演算の高速化は必須となっている。

我々のグループでは FPGA (Field Programmable Gate Array) を用いた電子ホログラフィ専用計算機 (以下 HORN ボード) の開発を行い、汎用 CPU に比べ約数千倍の高速化に成功した ([1],[2])。しかし、現在のシステムでは演算終了後、専用計算機からホログラムを一度ホスト PC に転送する必要があるため、通信時間の影響が大きくなっている。

そこで、通信時間による遅延時間の短縮を図るために、DVI (Digital Visual Interface) 出力端子が付属している、Xilinx 社製の Virtex6 搭載ボード (ML605 評価キット) を用いて、直接ホログラムを専用計算機から高精細 LCD に出力する単方向通信システムの開発を行った。また、最新 FPGA を用いた演算の高速化も行った。

2. ホログラフィ専用計算機 HORN

現在我々のグループで使用しているホログラフィ専用計算機における、物体点データの転送から高精細 LCD による再生までの概念図を図 1 に示す。

現システムの HORN ボードでは高精細 LCD へのデータ出力はホスト PC によって行っている。そのため、ホログラム作成演算後、ホログラムをホスト PC に転送する必要がある (図 1 の③)。その際、PCI バスでは同時に双方向への通信を行うことができないため (図 1 の①と③)、次のフレームの物体点の転送はホログラムの転送が終わるまで行うことができない。

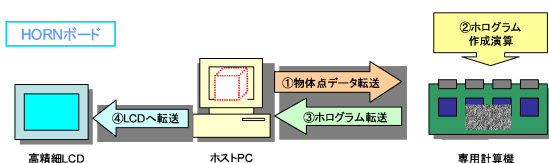


図 1: HORN システム

リアルタイムでホログラフィの再生を行おうとした場合、通信時間の影響が大きくビデオレート (30fps) の実現が困難となっている。

ここでは、双方向通信による遅延時間の短縮のために、DVI 出力端子が付属されている Xilinx 社製の ML605 評価キットを用いて、単方向通信システムの開発を行った (図 2)。

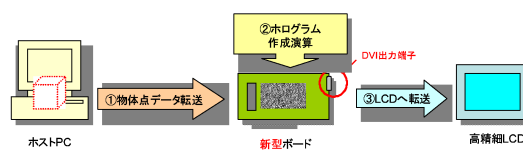


図 2: 新 HORN システム

3. DVI 出力つき HORN システム

設計した論理用 FPGA 回路構成図を図 3 に示す。

各モジュールで使用する周波数は図 3 にあるように DCM (Digital Clock Manager) を使い、HORN_CLK と DVI_CLK を生成している。CGH 作成の手順は以下の通りである。まず、ホスト PC から PCI Express バスを通して、物体点保存用 RAM に物体点データを転送する。その後、CGH 演算部で物体点データを用いて CGH の 1 フレーム分の計算を順次 RAM へ書き込みながら行う。演算後 CGH の画素データが格納された RAM から、ディスプレイコントローラ (Chronitel 社製の CH7301C) を通して高精細 LCD への出力を行う。

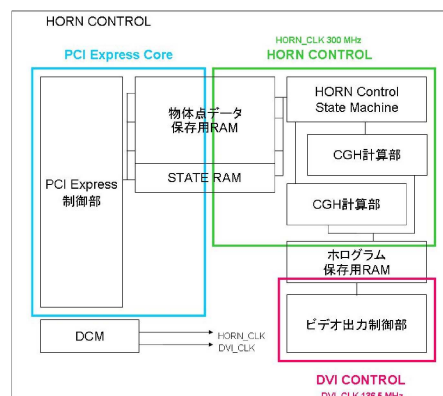


図 3: 回路構成図

*千葉大学大学院工学研究科

†NICT

高精細 LCD への出力をホスト PC を介さず、直接専

用計算機から行うことで、ホログラムの再生を待つことなく、次のフレームの物体点データの転送・ホログラムの作成演算を行うことができる。

CGHの特徴として、ホログラムの各画素の計算は独立して行うことが可能である。つまり複数の画素を同時に行うことができる。また、CGHの計算には画素が等間隔に並んでいることを利用した漸化式を用いたアルゴリズムを使用しているため、加算のみで行うことができる。

図4に今回実装した320段のパイプラインを搭載したCGH演算部の回路図を示す。まず初期位相を計算するBPU1個と加算計算をするAPU31個をまとめて1つのモジュールにし、32画素分の情報を同時に演算・出力できるAPU32_initを作成する。同様にAPU32個を1つのモジュールとしてまとめ、加算位相計算を32画素分同時に演算・出力できるAPU32を作成する。そしてこれらの回路を、APU32_initを1個、APU32を9個搭載する回路を構成する。これにより同時に320個の画素を計算できるようになる。この320段のパイプラインをML605に2つ実装し、同時に640画素計算できるシステムの開発を行った。

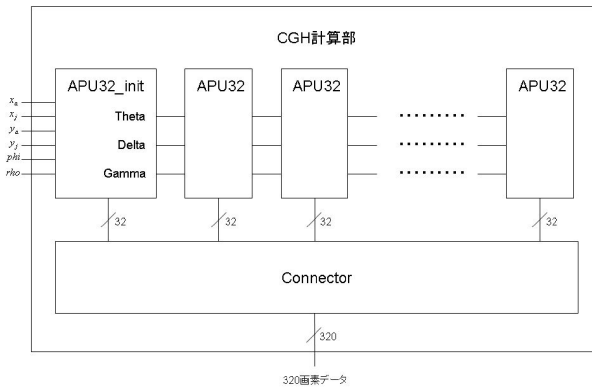


図4: CGH演算部回路

4. Performance

本研究で作成したシステムの回路面積・最大動作周波数を表1に示す。

表1: システムの性能

回路面積	LUT 使用率	24%
	Register 使用率	24%
最大動作周波数		341.2MHz
動作周波数		300.0MHz
内部RAM使用率		91%
パイプライン段数		320 × 2

新システムに使用したボードは、Xilinx社製のVertex-6評価基板ML605である。このボードには通信用及び論理用FPGAとして、Xilinx社のFPGA、Vertex-6 XC6VLX240T(ロジックセル数、241,152)が搭載さ

れており、また、外部メモリとして512MBのDDR3 SODIMMが搭載されている。

今回作成したシステムとHORNボード、汎用CPUであるCore i7との比較を行った。それぞれ1万点の3Dデータを用いた1,920 × 1,080のCGHの作成演算時間を表2にまとめる。

表2: 計算時間 [ms] とフレームレート

	計算時間	フレームレート
Core i7	9,930	0.10
HORN-5 ボード	134.87	7.41
ML605	112.48	8.80

新システムではCore i7と比べ約80倍の高速化に成功している。また、HORNボード(4チップ)と比較しても1チップで同程度の性能であることがわかる。最後に、本システムで再生を行った再生像を図5に示す。

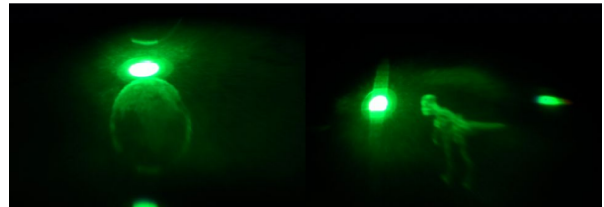


図5: 再生像

5. まとめと今後の課題

本研究では、ホログラム専用計算機から直接DVI出力端子を用いて高精細LCDに出力することで、単方向通信システムの開発を行った。これにより、11,646点の3Dデータを秒間8フレームで再生することに成功した。しかし、実用化に向けては更なる演算性能と画質の向上が必要となってくる。

画質向上は、今回用いた振幅ホログラムよりも良質な再生像を得ることができる、位相ホログラムを用いることで改善される。しかし、位相ホログラムは振幅ホログラムよりも更に演算量が増えるため、いずれにしても演算性能の向上が一番の課題となっている。そこで、演算性能の向上を図るために論理用FPGAの並列化、外部RAMを用いた内部RAM使用率の削減、PCI Expressの転送速度の向上が上げられる。

参考文献

- [1] Tomoyoshi Ito, *et al.* Opt. Express, Vol.13, pp 1923-1932 (2005)
- [2] Yasuyuki Ichihashi, *et al.* Opt. Express, Vol.17, pp. 13895-13903 (2009)