

C-013

動的な仮想チャネル管理機構を持ったオンチップルータ A Dynamic Virtual Channel Management Mechanism for On-Chip Routers

チュ ヴァン ティエム[†]
Chu Van Thiem

小柳 滋[†]
Shigeru Oyanagi

1. はじめに

LSI 集積密度がムーアの法則に従って増加している。それにより、多くの Intellectual Property (IP) コアをチップ内に搭載する System on Chip (SoC) が可能となっている。大規模な SoC において、IP コア間の通信は非常に重要な設計要素となり、従来のバスや Point-to-Point (P2P) 方式を用いると長距離配線、通信性能、消費電力などの問題が発生する。これらを解決するために Network on Chip (NoC) が注目されている。NoC において、ルータアーキテクチャは最も重要な要素の一つである。更に、ルータのバッファはルータの主な構成要素であり、NoC 全体の性能、ハードウェア量及び消費電力に大きな影響を及ぼす。そのため、NoC においてバッファの設計は重要な役割を果たしている。本研究では、ベースとなるルータアーキテクチャとして仮想出力キューイング (Virtual Output Queuing - VOQ) 方式を採用し、その上で動的な仮想チャネル管理機構を実装してバッファの使用効率を向上する。

2. 既存手法

2.1 ルータのバッファの関連研究

バッファはルータ全体の消費電力の 64 % を占め [3]、ルータのコストに影響する。バッファのサイズの減少により、その影響を減らすことができる。しかし、バッファのサイズを減らすと、NoC の全体性能が減る。そのトレードオフにより、バッファの使用効率を向上することが必要である。Store and forward フロー制御方式などでは転送するデータの単位はパケットであるため、バッファのサイズは大きくてパケットのサイズに依存する。一方、wormhole フロー制御方式では転送するデータの単位はフリット (flow control digit) である。フリットはパケットの構成要素であり、サイズが小さい。フリットを使うことにより、バッファの使用効率が上がる。

NoC では、Head of line (HOL) ブロッキングと呼ばれる問題が NoC の性能に大きな影響を及ぼす。HOL ブロッキングでは、FIFO キュー上の先頭パケットがブロックされるとき、FIFO キュー内の後続のパケットがブロックされる。HOL ブロッキングを解決するため、仮想チャネルルータが提案された [2]。図 1 に示すように、仮想

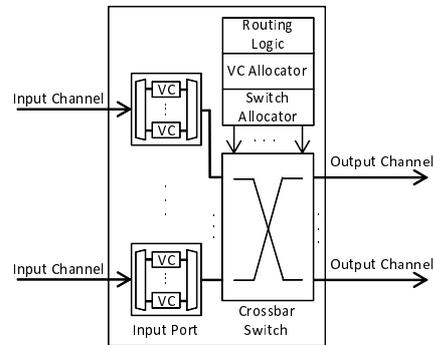


図 1: 仮想チャネルルータ

チャネルルータでは、各入力ポートには受信データを格納するための複数 FIFO バッファが備えられる。これらの FIFO バッファは仮想チャネル (Virtual channel - VC) と呼ばれる。仮想チャネルを利用することにより、HOL ブロッキングの影響が小さくなり、NoC の全体性能が増える。

2.2 基本となる VOQ ルータ

仮想チャネルルータでは、到着したフリットを次のホップに転送するために、Routing Computation (RC), Virtual channel Allocation (VA), Switch Allocation (SA), Switch traversal (ST) の四つの処理が行われ、これらの処理はパイプライン化される。VOQ ルータ [1] の各入力ポート

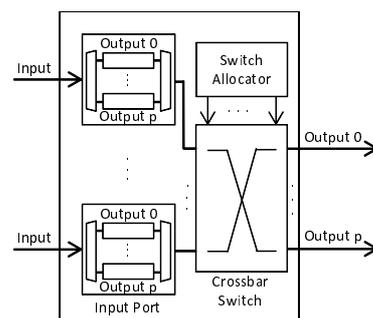


図 2: VOQ ルータ

は、図 2 に示すように、出力ポート数分の仮想チャネルを持つ。VOQ 方式を使うことにより、フリット転送のパイプラインは SA と ST の 2 ステージのみとなり、通信レイテンシは減少し、ハードウェア設計が簡素化される [1]。

[†]立命館大学 情報理工学部, College of Information Science and Engineering, Ritsumeikan University

3. 提案手法

VOQ ルータのアーキテクチャは、仮想チャンネル間のバランスが難しく、バッファの使用効率が低下するのが欠点である。本稿では、バッファの使用効率を向上するためのアーキテクチャを提案する。各入力チャンネルに

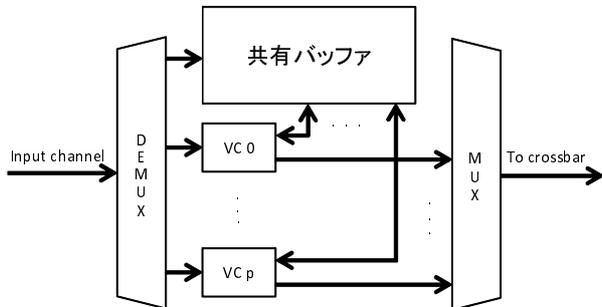


図3: 提案バッファのアーキテクチャ

は、図3に示すように、各仮想チャンネルが小さなバッファを持ち、全ての仮想チャンネルが大きなバッファを共有する。フリットが仮想チャンネルに到着するとき、小さなバッファが満杯の場合、フリットは、共有バッファに格納される。共有バッファには、同じ仮想チャンネルのフリットを管理するために、linked list 構造が用いられる。

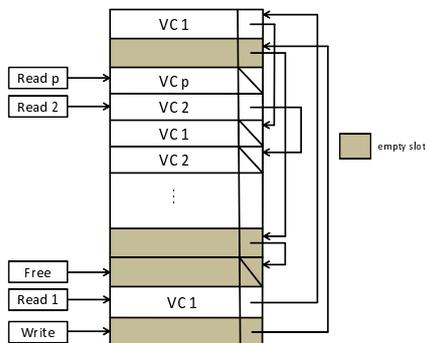


図4: 共有バッファ

共有バッファのアーキテクチャは図4に示される。共有バッファは複数の slot から構成される。各 slot は1つフリットを格納するためのフィールドと次の slot のアドレスを格納するためのフィールドから構成される。Write は共有バッファの書き込みポイントであり、Free は空slotを管理するためのポイントである。そして、各仮想チャンネルに対して、1つの読み出しポイントがある。共有バッファに書き込むときと読み出すときに、これらのポイントが更新される。

4. 評価と考察

評価をするために、ポートあたり四つの VC を持つ VC ルータ、VOQ ルータ、および提案ルータを実装した。実装では、Xilinx 社のシステムデザイン用の ISE 10.1i を使い、シミュレーションに Mentor Graphics 社の Modelsim XE 6.3c を利用した。FPGA のターゲットデバイスは Xilinx 社の Virtex-5 XC5VFX70T である。実装

表1: 各ルータの実装結果

	VC ルータ	VOQ ルータ	提案ルータ
スライス数	5980	2778	4969
LUTs	14354	5923	14355
Flip-Flops	3734	3361	3723
動作周波数	142 MHz	99 MHz	102.5 MHz
フリット転送	4-cycle	2-cycle	2-cycle

した結果は表1に示される。各ルータは五つの入出力を持ち、ポートあたりに 16-flit サイズのバッファがあり、フリットのサイズは 36-bit である。また、提案ルータの共有バッファのサイズは 12-flit である。提案ルータは 102.5 MHz の周波数で動作した。これは、VC ルータに比べて 27.8% 減少し、VOQ ルータに比べて 3.5% 増加した。面積に関しては、提案ルータは VC ルータに比べてやや減少し、VOQ ルータに比べて増加した。

5. おわりに

本稿では、VOQ ルータにおけるバッファの使用効率向上のため共有バッファを利用したアーキテクチャを提案した。提案ルータを FPGA 上に実装し、回路規模と動作周波数の面から評価した。今後の課題としては、全体の NoC の実装と評価が上げられる。

参考文献

- [1] ゲンチュオンソン, 小柳 滋. "仮想出キューイング方式に基づいた低遅延オンチップルータの開発", pp.2222-2230. 電子情報通信学会, 2010.
- [2] W.J. Dally, "Virtual-channel flow control", IEEE Transactions on Parallel and Distributed Systems, vol.3, no.2, pp.194-205, 1992.
- [3] C. Xuning, L.S. Peh, "Leakage power modeling and optimization in interconnection networks", In Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED), pp.90-95, 2003.