

CI-3 タテ・ヨコに並べる IC実装の最前線

日時：2023年9月15日（金）13:00～16:45

開催：名古屋大学（東山キャンパス）

IB電子情報館中棟 IB013

概要：集積回路（IC）の効率的な実装方式として、タテやヨコに余すことなくチップを並べる実装技術が注目されています。本企画セッションでは、3次元集積回路、マルチダイ、チップレットのようなタテやヨコにICを実装する技術について、一線にてご活躍されている研究開発者の方々よりご講演いただきます。

- **3次元積層実装技術の研究開発 基礎から応用への展開**
青柳 昌宏（熊本大）
- **自動運転の安心・安全を実現する半導体の実装技術**
佃 龍明（ルネサスエレクトロニクス）
- **チップレット集積技術**
栗田 洋一郎（東工大）
- **これまでおよびこれからのメモリにおけるチップレット技術**
佐貫 朋也（キオクシア）
- **無線チップレットによる形状自在な計算機**
門本 淳一郎（東大）
- **Development of face-to-face and face-to-back ultra-fine pitch Cu-Cu hybrid bonding**
Yoshihisa Kagawa（Sony Semiconductor Solutions）
- **3DIC/TSV 技術の開発と眼球内完全埋植人工網膜への応用**
田中 徹（東北大）