

## ★VLSI 設計技術研究会 (VLD)

専門委員長 越智裕之 副委員長 峯岸孝行

幹事 永山 忍・新田高庸

日時 5月16日(水) 13:30~16:15

会場 北九州国際会議場3階32会議室(北九州市小倉北区浅野3-8-1. JR小倉駅から徒歩5分または福岡空港から30分. <http://www.convention-a.jp/access/> 高島康裕)

議題 システム設計及び一般

論理合成

VLD-1. Partial logic synthesis by using sum of products or product of sums based quantified boolean formulae

○Xiaoran Han・Amir Masoud Gharehbaghi・Masahiro Fujita (Univ. of Tokyo)

2. テンプレートと状態遷移表現を用いたシステム最適化手法 ○合田瑛洋・藤田昌宏(東大)

3. 複数コア/FPGA チップ間の通信構造に配慮したアルゴリズムの自動合成 ○宮坂幸雄・藤田昌宏(東大)

回路設計技術

VLD-4. データキャッシュに対する不揮発性パワーゲーティング適用方法の検討と評価

○秋葉爽輔・宇佐美公良(芝浦工大)

5. 幅広い動作環境にわたってLSIの最大遅延特性を追跡するクリティカルパスレプリカの構成法

○福田展和・塩見 準・石原 亨・小野寺秀俊(京大)

VLD-6. Pixel-based OPC using Quadratic Programming for Mask Optimization

○Rina Azuma・Yukihide Kohira (Univ. of Aizu)

◎研究会終了後、懇親会を予定していますので御参加下さい。

◆情報処理学会；システムとLSIの設計技術研究会連催

☆VLD研究会今後の予定 [ ] 内発表申込締切日

6月14日(木), 15日(金) 北大〔締切済〕テーマ：システムと信号処理及び一般

【問合先】

永山 忍(広島市大)

E-mail: [s\\_naga@hiroshima-cu.ac.jp](mailto:s_naga@hiroshima-cu.ac.jp)

◎VLD研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>