

## ★VLSI 設計技術研究会 (VLD)

専門委員長 越智裕之 副委員長 峯岸孝行  
幹事 永山 忍・新田高庸

## ★コンピュータシステム研究会 (CPSY)

専門委員長 中野浩嗣 副委員長 入江英嗣・三吉貴史  
幹事 大川 猛・高前田伸也 幹事補佐 伊藤靖朗・津邑公曉

## ★リコンフィギャラブルシステム研究会 (RECONF)

専門委員長 本村真人 副委員長 柴田裕一郎・佐野健太郎  
幹事 谷川一哉・三好健文 幹事補佐 小林悠記・中原啓貴

◎CPSY/RECONF 研究会は参加費が必要になりますので、下記を御参照下さい。

[https://www.ieice.org/iss/jpn/notice/About\\_ISS\\_trial.html](https://www.ieice.org/iss/jpn/notice/About_ISS_trial.html)

日時 1月18日(木) 9:15~18:15

19日(金) 9:15~17:05

会場 慶應義塾大学日吉キャンパス来往舎大会議室

議題 FPGA 応用及び一般

18日午前 ニューラルネットワーク(1)

CPSY-1. マルチFPGA ボードによる Recurrent Neural Network の高速化

○山内脩吾・武者千嵯(慶大)・工藤知宏(東大)・天野英晴(慶大)

RECONF-2. 全2値化量み込みニューラルネットワークとそのFPGA実装について—FPT2017 デザインコンテスト参

加報告— ○下田将之・佐藤真平・中原啓貴(東工大)

RECONF-3. Intel OpenCL を用いた2値化 Deep learning のFPGA実装について

○宇山拓夢・藤井智也・米川晴義・佐藤真平・中原啓貴(東工大)

システムアーキテクチャ

CPSY-4. あるクラウド環境下での仮想ディスクワークロードの取得手法 萩原一隆(富士通研)

CPSY-5. 3次元積層DRAMを用いたアプリケーションの高速化

○丹羽直也(慶大)・鯉渕道紘(NII)・天野英晴・十時知滉(慶大)

CPSY-6. 時分割多重実行型シストリックリングの実装と評価

○菊谷雄真・山野龍佑・一倉孝宏・中島康彦(奈良先端大)

18日午後 回路とシステム

VLD-7. CMAを用いた画像先鋭化回路の低消費電力化

○田島加織・井上品仁・馬場裕之・ヨウ ドウキン・請園智玲・佐藤寿倫(福岡大)

VLD-8. SD数演算に基づく4つの法を有する剰余数一重み数の変換アルゴリズム

○山崎幸平・田中勇樹・魏 書剛(群馬大)

VLD-9. スタック回路を用いたノーマリオフコンピューティングの検討

○坂村賢士・有本和民・茅野 功・横川智教(岡山県立大)

フェロー記念講演

CPSY-10. [フェロー記念講演] 未定 吉永 努(電通大)

アプリケーション

11. ICBIアルゴリズムのGPU実装と評価

○戸田菜津子・石川由羽・松本 尚・高田雅美・城 和貴(奈良女子大)

RECONF-12. ロボット制御アルゴリズムのFPGAによる専用ハードウェア実装と評価

○安孫子 慎・長洲航平・佐野健太郎(東北大)

RECONF-13. FPGA搭載プロセッサ一体型機械語モニタ ○金子博昭・金杉昭徳(東京電機大)

結合網

RECONF-14. 密結合FPGAクラスタのための直接網の設計と評価

○田中大智・Antoniette Mondigo・佐野健太郎・山本 悟(東北大)

RECONF-15. Case Study of a Flow Control Mechanism for Inter-FPGA Communication

○Antoniette Mondigo・Daichi Tanaka・Kentaro Sano(Tohoku Univ.)

VLD-16. Erlangからの高位合成のためのメモリ分散アーキテクチャ

○東 香実・浜名将輝・若林秀和・石浦菜岐佐(関西学院大)・吉田信明・神原弘之(京都高度技研)

◎懇親会 (18:30~20:30 ファカルティラウンジ)

#### 19日午前 高位設計

RECONF-1. マルチスレッドを活用した Java ベース高位合成によるステンスル計算の FPGA 実装

○矢内奎太朗 (東京農工大)・長名保範 (琉球大)・中條拓伯 (東京農工大)

RECONF-2. Ruby 言語ベースのハードウェア・ソフトウェアコデザイン環境の実現とリアクティブプログラミングの適用 ○照屋大地・中條拓伯 (東京農工大)

RECONF-3. Snort の PCRE から Verilog HDL への自動変換 ○福田真啓・井口 寧 (北陸先端大)  
プログラマブルアーキテクチャ

VLD-4. 176 MHz WXGA 30 fps 実時間オプティカルフロー推定プロセッサの設計及び実装

○神田哲志・鈴木 悠・伊藤雅人 (日大)・今村幸祐・松田吉雄 (金沢大)・松村哲哉 (日大)

VLD-5. ビアスイッチ向けプログラマブルロジック 0-1-A~A LUT の電力効率について

○夏原明日香・今川隆司・越智裕之 (立命館大)

RECONF-6. 光再構成型ゲートアレイのトータルドーズ耐性 ○藤森卓巳・渡邊 実 (静岡大)

#### 19日午後 ニューラルネットワーク(2)

RECONF-7. 2 のべき乗近似とブルーニングを用いた CNN 向け FPGA アクセラレータ

○宇都宮誉博・尼崎太樹・飯田全広・久我守弘・末吉敏則 (熊本大)

8. DNN 向けニューロン毎の量子化ビット幅最適化に関する評価 ○石井 潤・坂本龍一・近藤正章 (東大)

CPSY-9. FPGA-NIC を用いた逐次学習アルゴリズム OS-ELM の高性能化

○塚田峰登・三塚皐矢・中村幸平・徳差雄太・松谷宏紀 (慶大)

#### FPGA システム

CPSY-10. FPGA NIC を用いた RPC 向けシリアライゼーションの高性能化

○岩田拓真・三塚皐矢・中村幸平・徳差雄太・松谷宏紀 (慶大)

RECONF-11. FPGA によるデータフロー計算機におけるハードウェア資源割当て最適化

○長洲航平・佐野健太郎 (東北大)

RECONF-12. スケーラブル・ハードウェア機構におけるストリーム計算のための回路分割手法と FPGA による検証

○村田義雄・中條拓伯 (東京農工大)

#### 設計・検証技術

13. 多クロックサイクルのワードレベルの関係を含むハードウェアアサーションの自動抽出

○宮本真実・浜口清治 (島根大)

VLD-14. 等価変換に基づく C コンパイラテストシステムにおける制御文生成の強化

○岩辻光功・石浦菜岐佐 (関西学院大)

VLD-15. LLVM バックエンドの最適化性能テストのミュタント生成

○田中健司・石浦菜岐佐 (関西学院大)・西村啓成・福井昭也 (ルネサス エレクトロニクス)

◆情報処理学会；システム・アーキテクチャ研究会／システムと LSI の設計技術研究会連催

☆VLD 研究会今後の予定 [ ] 内発表申込締切日

2月28日(水) ~3月2日(金) 沖縄県青年会館 [1月15日(月)] テーマ：システムオンシリコンを支える設計技術

【発表申込先】 下記研究会発表申込システムからお申込み下さい。

<http://www.ieice.org/jpn/ken/kenmoushikomi.html>

#### 【問合先】

永山 忍 (広島市大)

E-mail : s\_naga@hiroshima-cu.ac.jp

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>

☆CPSY 研究会

#### 【問合先】

三吉貴史 (富士通研)

TEL [044] 754-2931, FAX [044] 754-2672

E-mail : miyoshi.takashi@jp.fujitsu.com

◎最新情報は CPSY 研究会 Web ページを御覧下さい。

<http://www.ieice.or.jp/iss/cpsy/jpn/>

☆RECONF 研究会

#### 【問合先】

本村真人 (北大) E-mail : motomura@ist.hokudai.ac.jp