

★VLSI 設計技術研究会 (VLD)

専門委員長 松永裕介 副委員長 竹中 崇
幹事 富山宏之・福田大輔 幹事補佐 谷口一徹

★電子部品・材料研究会 (CPM)

専門委員長 野毛 悟 副委員長 廣瀬文彦
幹事 小館淳一・岩田展幸 幹事補佐 坂本 尊・中村雄一

★集積回路研究会 (ICD)

専門委員長 藤島 実 副委員長 日高秀人
幹事 吉田 毅 幹事補佐 高宮 真・岩崎裕江・橋本 隆・伊藤浩之・範 公可

★コンピュータシステム研究会 (CPSY)

専門委員長 中島康彦 副委員長 中野浩嗣・入江英嗣
幹事 三吉貴史・鯉淵道紘 幹事補佐 高前田伸也・大川 猛

★ディペンダブルコンピューティング研究会 (DC)

専門委員長 金川信康 副委員長 井上美智子
幹事 岩田浩司・吉村正義

★リコンフィギャラブルシステム研究会 (RECONF)

専門委員長 渡邊 実 副委員長 本村真人・柴田裕一郎
幹事 山田 裕・山口佳樹 幹事補佐 谷川一哉・三好健文

◎本研究会は VLD/DC (共催) / IPSJ-SLDM 研究会 (連催) 研究会と CPM/ICD 研究会, CPSY 研究会, RECONF 研究会の併催です。研究会資料は各研究会ごとに発行されます。

日時 12月1日(火) 12:45~18:00
2日(水) 9:30~18:00
3日(木) 9:20~15:25

会場 長崎県勤労福祉会館(長崎市桜町9-6。長崎駅より徒歩15分, バス・市役所前より徒歩2分, または, 電車・市公会堂前より徒歩3分。 <http://www.nsbm.jp/kaikan/> TEL [095] 821-1456 (会場) 柴田裕一郎(長崎大))

議題 デザインガイア2015—VLSI 設計の新しい大地—

1日 セキュリティ1 (12:45~13:35)

DC-1. Scan Segmentation Approach to Magnify Detection Sensitivity for Tiny Hardware Trojan

○Fakir Sharif Hossain・Tomokazu Yoneda・Michiko Inoue (NAIST)

VLD-2. ゲートレベルパイプライン型自己同期回路を用いた楕円曲線デジタル署名アルゴリズムの実装について

○田村雅人・池田 誠(東大)

光再構成 (12:45~13:35)

RECONF-3. 並列処理指向・光再構成型ゲートアレイへの TMR 実装 ○伊藤芳純・渡邊 実(静岡大)

RECONF-4. 光再構成型ゲートアレイの反転コンフィギュレーション手法のフォールトトレランス評価

○榛葉大樹・渡邊 実(静岡大)

GPU (12:45~13:35)

CPSY-5. リモート GPU クラスタを用いたドキュメント指向型データベースの性能評価

○森島 信・松谷宏紀(慶大)

CPSY-6. GPU を用いたホールスラスタ・シミュレーションの割付処理の高速化の検討

○宮島敬明・張 科寅・藤田直行(JAXA)

ICD 招待講演 (13:50~15:30)

ICD-7. [招待講演] IC チップの真正性の確保と対策(仮) —ハードウェアセキュリティの根源的課題に向き合う—
永田 真(神戸大)

ICD-8. [招待講演] 4K・8K 超高精細映像の配信に向けた映像符号化ハードウェア技術(仮)

○大西隆之・岩崎裕江・清水 淳(NTT)

再構成とニューラルネット (13:50~15:30)

RECONF-9. スイッチ内アクセラレーションの実現のための部分再構成

○天野英晴・櫻井祐市・鶴田千晴（慶大）

RECONF-10. FPGA を用いた動的再構成可能 PLA と DSL ベースの設計開発手法の検討

○三好健文（わさらぼ／イーツリーズ・ジャパン）・中原啓貴（愛媛大）・船田悟史（イーツリーズ・ジャパン）

11. 高位合成による自動パイプライン化を利用したスパイクニューラルネットワークシミュレーション高速化回路の FPGA 実装 ○川尾太郎・河野 崇・藤田昌宏（東大）

CPSY-12. セルラニューラルネットワークのシミュレータ開発と評価

○亀田友哉（奈良先端大）・木村 睦（龍谷大）・中島康彦（奈良先端大）

メモリテストとタイミング（13：50～15：30）

DC-13. メモリの隣接パタン依存故障テストに対するバックグラウンド列の生成

○上岡真也・米田友和・大和勇太・井上美智子（奈良先端大）

DC-14. 遅延故障検査容易化回路を用いる同時検査対象経路選択条件の検討

○森 亮介・四柳浩之・橋爪正樹（徳島大）

DC-15. 隣接線の信号遷移による遅延変動を用いる半断線故障の判別法について

○伊勢幸太郎・四柳浩之・橋爪正樹（徳島大）・樋上喜信・高橋 寛（愛媛大）

VLD-16. モンテカルロ法に基づくタイミング歩留り解析の高速化 ○栗野皓光・佐藤高史（京大）

フェロー記念講演 1（15：45～16：45）

共通-17. [フェロー記念講演] VLSI テスト技術によるシステムディペンダビリティ向上への期待

梶原誠司（九工大）

フェロー記念講演 2（17：00～18：00）

共通-18. [フェロー記念講演] 再構成可能チップと高位合成, EDA 事業運営 若林一敏（NEC）

2 日午前 ポスター発表（9：30～11：00）

P01. モンテカルロ法に基づくタイミング歩留り解析の高速化 栗野皓光

P02. プログラマブル SoC のためのシステム設計環境におけるリアルタイムシステムの構築手法 畑山拓也

P03. 高位合成ツール Vivado HLS と PyCoRAM を用いた FPGA アクセラレータの性能比較 菊谷雄真

P04. FPGA 間通信で発生する諸問題—PCIe Gen3 通信における注意点— 高山尋考

P05. 人物検知用赤外線アレイセンサ対応低消費電力 AFE 回路の設計 上口翔大

P06. 補間型 TDC を用いた Single Slope ADC の製造ばらつき耐性に関する考察 堀田海平

P07. レイアウト面積最小化問題における高速化のための SAT への定式化手法 増子 駿

P08. クロックスキューを利用したフロアプラン指向 FPGA 高位合成手法 藤原晃一

P09. 大腸内視鏡画像タイプ識別のためのバリエブルウィンドウオーバラップ型 SVM アーキテクチャ 岡本拓巳

P10. 道路速度標識認識システムの Rapid Prototyping Platform への実装 佐藤 光

P11. Nested RNS を適用した電波望遠鏡用デジタル分光器用 FFT について 中原啓貴

P12. 15 nm プロセスにおける低電力な耐ソフトエラーラッチの設計 田島咲季

P13. 0.25 μm CMOS 0.23 V 駆動リング発振制御型近距離無線送信器とバイオ燃料電池を用いた電力自立・使い捨て可能バイオセンサ集積回路 新津葵一

P14. SVM を利用したネットリストの特徴に基づくハードウェアトロイ分類 長谷川健人

P15. ゲートレベルネットリストの脆弱性を表現する指標 大屋 優

P16. ロバストな診断支援を実現するボトムアップ特徴量構築アーキテクチャ 杉 幸樹

P17. リアルタイム消化管内視鏡診断支援に適した特徴量抽出アーキテクチャ 清水達也

P18. ハンドシェイク遅延を考慮した 4 相 2 線式非同期システムの高位合成におけるスケジューリングアルゴリズム 猪谷孝太

P19. コンポーネント間隣接制御を考慮した耐ソフトエラーデータパス合成 呉 政訓

P20. LSI 基板パッケージの 3 次元伝熱シミュレータの構築と評価 渡邊聖剛

P21. タイミングエラー予測回路によるデータ依存最適化回路設計とその FPGA 評価 川村一志

P22. 機械学習を用いたプロセッサ性能モデリングの精度解析 田中義浩

P23. QDI モデルに基づく非同期式 VLSI の低電圧特性の評価 田近龍平

P24. 非同期式回路を用いたピーク電流抑制型バンドパスフィルタの実装と評価 石川達也

P25. CCN ルータのためのハッシュテーブルと平衡木の併用によりメモリアクセスを削減した FIB の構築 島崎健太

2 日午前 探索と検証（11：15～12：30）

VLD-1. 到達不可能な解空間における効果的な Simulated Annealing 法探索に関する研究

○中野太維・藤吉邦洋（東京農工大）

VLD-2. モンテカルロ木探索の CAD 問題への応用について 松永裕介（九大）

3. SAT ソルバーを援用したカバレッジ駆動設計検証について 浜口清治（島根大）

システムレベル設計 (11:15~12:30)

RECONF-4. A Study of HW/SW Co-design Framework based on the Virtualization Technology

○Qian Zhao・Motoki Amagasaki・Masahiro Iida・Morihiro Kuga・Toshinori Sueyoshi (Kumamoto Univ.)

RECONF-5. プログラマブル SoC のためのシステム設計環境におけるリアルタイムシステムの構築手法

○畑山拓也・谷 祐輔・高瀬英希・高木一義・高木直史 (京大)

VLD-6. 異種タスク集合に対する DVFS に関する一考察 金子峰雄 (北陸先端大)

高位設計 (11:15~12:30)

CPSY-7. アルゴリズム記述と CGRA 実装を統合する C 言語フレームワーク 中島康彦 (奈良先端大)

CPSY-8. 高位合成ツール Vivado HLS と PyCoRAM を用いた FPGA アクセラレータの性能比較

○菊谷雄真 (阪府大高専)・Tran Thi Hong・高前田伸也・中島康彦 (奈良先端大)

CPSY-9. HEVC を用いたライトフィールドイメージ圧縮伸張の提案

○三谷剛正・Tran Thi Hong・高前田伸也・中島康彦 (奈良先端大)

2 日午後 VLD 招待講演 (13:45~15:25)

VLD-10. [招待講演] 国際会議採択に向けて一留学・プログラム委員の経験から— 原 祐子 (東工大)

VLD-11. [招待講演] 台北だより 高島康裕 (北九州市大)

VLD-12. [招待講演] テキサス大学における EDA 研究の取り組み 松縄哲明 (東芝)

通信 (13:45~15:25)

CPSY-13. ThruChip Interface を用いた直線状ネットワークの予備評価

○野村明生・松谷宏紀・竹 康宏 (慶大)・並木美太郎 (東京農工大)・黒田忠広・天野英晴 (慶大)

CPSY-14. CSMA/CD バスと D-TDMA バスを併用したワイヤレス 3 次元バスアーキテクチャ

○松村 剛 (慶大)・鯉渕道紘 (NII)・天野英晴・松谷宏紀 (慶大)

CPSY-15. Performance Evaluation of K-best Viterbi Decoder for IoT Applications

○Thi Hong Tran (NAIST)・Dwi Rahma Ariyani・Lina Alfaridah ZH (Unand)・Shinya Takamaeda-Yamazaki・Yasuhiko Nakashima (NAIST)

RECONF-16. FPGA 間通信で発生する諸問題—PCIe Gen3 通信における注意点—

○高山尋考・山口佳樹 (筑波大)

回路設計 (13:45~15:25)

ICD-17. 人物検知用赤外線アレイセンサ対応低消費電力 AFE 回路の設計

○上口翔大 (立命館大)・熊本敏夫 (阪産大)・白畑正芳・熊木武志・藤野 毅 (立命館大)

ICD-18. フラクショナル位相選択法によりジッタ特性を改善した高速起動完全デジタル CDR 回路の設計

○峠 仁人・飯塚哲也 (東大)・三浦 賢・村上芳道 (ザイン)・名倉 徹・浅田邦博 (東大)

ICD-19. 補間型 TDC を用いた Single Slope ADC の製造ばらつき耐性に関する考察

○堀田海平・大島賢一 (鹿児島大)

ICD-20. 適応調律型電源共振抑制フィルタの EMS 評価 ○谷口綱紀・三浦典之・永田 真 (神戸大)

ポスター表彰 (15:25~15:55)

配置配線 (15:55~18:00)

21. ナンバーリンク問題に対する命題論理式のエンコーディング法に評価について 松永裕介 (九大)

VLD-22. レイアウト面積最小化問題における高速化のための SAT への定式化手法

○増子 駿・小平行秀 (会津大)

VLD-23. 可変成形型電子ビーム露光装置のためのレイアウトの L 型分割手法

○星 克也・藤吉邦洋 (東京農工大)

VLD-24. Self-Aligned Quadruple Patterning のための 3 次配線アルゴリズムを用いた効率的な配線生成手法

○井原岳志・高橋篤司 (東工大)

VLD-25. クロックスキューを利用したフロアプラン指向 FPGA 高位合成手法

○藤原晃一・川村一志・柳澤政生・戸川 望 (早大)

画像処理 1 (15:55~18:00)

ICD-26. 物体追跡システムの低消費エネルギー化を目的とした動的フレームレート制御法

○井上優良・小野貴継・井上弘士 (九大)

27. 大腸内視鏡画像タイプ識別のためのバリアブルウィンドウオーバーラップ型 SVM アーキテクチャ

○岡本拓巳・小出哲士・ホアン アイントゥワン・清水達也・杉 幸樹・佐藤 光・玉木 徹・ビッサ ライチェフ・金田和文 (広島大)・吉田成人・三重野寛 (広島鉄道病院)・田中信治 (広島大)

28. 道路速度標識認識システムの Rapid Prototyping Platform への実装

○佐藤 光・ホアン アイントゥワン・小出哲士 (広島大)

VLD-29. FPGA によるロボットヘッドのリアルタイム位置姿勢計測の実装

○松本雅裕・下ノ村和弘（立命館大）

RECONF-30. Nested RNS を適用した電波望遠鏡用デジタル分光器用 FFT について

○中原啓貴（愛媛大）・笹尾 勤（明大）・中西裕之（鹿児島大）・岩井一正（NICT）

低電力設計（15：55～18：00）

VLD-31. 15 nm プロセスにおける低電力な耐ソフトウェアラッチの設計

○田島咲季・史 又華・戸川 望・柳澤政生（早大）

VLD-32. 細粒度パワーゲーティングにおける仮想グラウンド線自動検知によるスリープ制御手法の評価

○工藤 優・宇佐美公良（芝浦工大）

CPSY-33. SOTB MOSFET を用いた低電力マイクロコントローラの動的基板バイアス制御機構の実装と予備評価

○奥原 颯（慶大）・小出知明（電通大）・Johannes maximilian kuehn・Akram Ben Ahmed（慶大）・石橋孝一郎（電通大）・天野英晴（慶大）

ICD-34. 論理回路の極低電力動作を実現する基板バイアス発生回路

○小出知明・石橋孝一郎（電通大）・杉井信之（超低電圧デバイス技術研究組合）

ICD-35. 0.25 μ m CMOS 0.23 V 駆動リング発振制御型近距離無線送信器とバイオ燃料電池を用いた電力自立・使い捨て可能バイオセンサ集積回路

○新津葵一（名大/JST）・小林敦希（名大）・小川雄大・西澤松彦（東北大）・中里和郎（名大）

3 日午前 セキュリティ 2（9：45～10：35）

VLD-1. SVM を利用したネットリストの特徴に基づくハードウェアトロイ分類

○長谷川健人・大屋 優・柳澤政生・戸川 望（早大）

VLD-2. ゲートレベルネットリストの脆弱性を表現する指標 ○大屋 優・史 又華・柳澤政生・戸川 望（早大）

画像処理 2（9：20～10：35）

RECONF-3. ロバストな診断支援を実現するボトムアップ特徴量構築アーキテクチャ

○杉 幸樹・小出哲士・清水達也・岡本拓巳・Anh-Tuan Hoang・佐藤 光・玉木 徹・Bisser Raytchev・金田和文（広島大）・吉田成人・三重野 寛（広島鉄道病院）・田中信治（広島大）

RECONF-4. リアルタイム消化管内視鏡診断支援に適した特徴量抽出アーキテクチャ

○清水達也・小出哲士・杉 幸樹・岡本拓巳・佐藤 光・ホアン アイン トゥワン・玉木 徹・Bisser Raytchev・金田和文（広島大）・吉田成人・三重野 寛（広島鉄道病院）・田中信治（広島大）

RECONF-5. 高位合成を用いた人検出画像処理の FPGA 実装に関する一考察

○藤田 亮・大石将仁・林田与志樹・柴田裕一郎・小栗 清（長崎大）

高位合成（9：20～10：35）

DC-6. ハンドシェイク遅延を考慮した 4 相 2 線式非同期システムの高位合成におけるスケジューリングアルゴリズム

○猪谷孝太・岩垣 剛・市原英行・井上智生（広島市大）

VLD-7. 高位合成における分散制御のデータフローグラフ境界を越えた拡張

○清水美帆・石浦菜岐佐（関西学院大）

VLD-8. コンポーネント間隣接制約を考慮した耐ソフトウェアデータパス合成

○呉 政訓・金子峰雄（北陸先端大）

CPM 招待講演（10：50～12：30）

CPM-9. [招待講演] 電源ノイズを低減させるビルドアップ基板構造の開発（仮） 赤星知幸（富士通研）

CPM-10. [招待講演] 新しい概念のメモリ・論理共役システムとその周辺（仮） 大塚寛治（明星大）

予測と測定（10：50～12：30）

DC-11. FPGA のオンチップ遅延測定における温度影響補正の検討

○喜納 猛・三宅庸資・佐藤康夫・梶原誠司（九工大）

DC-12. LSI 基板パッケージの 3 次元伝熱シミュレータの構築と評価

○渡邊聖剛・大村 崇・北川友貴・林 磊・孟 林・福井正博（立命館大）

VLD-13. アナログバウンダリスキャンを用いた三次元積層後の TSV 抵抗の精密計測法の実装について

○王 森レイ・香川敬祐（愛媛大）・亀山修一（富士通）・樋上喜信・高橋 寛（愛媛大）

VLD-14. タイミングエラー予測回路によるデータ依存最適化回路設計とその FPGA 評価

○川村一志・柳澤政生・戸川 望（早大）

プロセッサとメモリ 1（10：50～12：30）

CPSY-15. DVFS 下の L1 High Power/Low Power キャッシュ切替による消費エネルギー削減

○齋藤 郁・小林良太郎（豊橋技科大）・嶋田 創（名大）

CPSY-16. 単一磁束量子回路を用いたマイクロプロセッサの論理設計

○石田浩貴・津秦伴紀（九大）・田中雅光（名大）・小野貴継・井上弘士（九大）

CPSY-17. 機械学習を用いたプロセッサ性能モデリングの精度解析 ○田中義浩・小野貴継・井上弘士（九大）

CPSY-18. Dependable Responsive Multithreaded Processor II における低遅延リアルタイム実行

○羽鳥雄介・大沢幸平（慶大）・溝谷圭悟（任天堂）・千代浩之・山崎信之（慶大）

3 日午後 非同期回路（13：45～15：25）

VLD-19. QDI モデルに基づく非同期式 VLSI の低電圧特性の評価 ○田近龍平・黒川 敦・今井 雅（弘前大）

VLD-20. 非同期式回路を用いたピーク電流抑制型バンドパスフィルタの実装と評価

○石川達也・黒川 敦・今井 雅（弘前大）

21. 束データ方式による非同期式回路に対する演算の移動度を利用した動的電力最適化手法の評価

○保坂隼也・齋藤 寛（会津大）

22. サイクルタイム制約を考慮した束データ方式による非同期式プロセッサの設計と評価

○中島正光・齋藤 寛（会津大）

テストと高信頼化（13：45～15：25）

DC-23. 必須割当てと多重目標テスト生成を用いた M バイ N テスト圧縮法

○原 侑也・山崎紘史・細川利典（日大）・吉村正義（京都産大）

DC-24. 遅延故障 BIST 向け LFSR/MISR シード生成 ○嶋津大地・大竹哲史（大分大）

DC-25. FPGA テストのための耐ソフトウェア BIST ○上田大樹・嶋津大地・大竹哲史（大分大）

DC-26. テスト容易でオンライン誤り検出可能な桁上げ選択加算器 鬼頭信貴（中京大）

プロセッサとメモリ 2（13：45～15：25）

VLD-27. ARM アーキテクチャ向け命令サイクルの高速・高精度見積もり

○佐藤 剛・高田広章・本田晋也・松原 豊（名大）

VLD-28. キャッシュヒット率の向上のための基本ブロックのアドレスオフセットの探索

○後藤潤哉・石浦菜岐佐（関西学院大）

VLD-29. CCN ルータのためのハッシュテーブルと平衡木の併用によりメモリアクセスを削減した FIB の構築

○島崎健太（早大）・青木 孝・羽田野孝裕・大塚卓哉・宮崎昭彦（NTT）・津田俊隆・朴 容震・戸川 望（早大）

VLD-30. 回路面積を考慮した不揮発性メモリ書き込み削減符号生成手法

○多和田雅師・木村晋二・柳澤政生・戸川 望（早大）

◆情報処理学会；システムと LSI の設計技術研究会連催。IEEE CEDA All Japan Joint Chapter/IEEE CAS Society Fukuoka Chapter 協賛

◎1 日の夜、懇親会を予定しております（有料、事前申込制）。申込み方法は後日案内致します。

☆VLD 研究会今後の予定〔 〕内発表申込締切日

1 月 19 日（火）～21 日（木） 慶大日吉キャンパス〔締切済〕テーマ：FPGA 応用及び一般

2 月 29 日（月）～3 月 2 日（水） 沖縄県青年会館〔1 月 8 日（金）〕テーマ：システムオンシリコンを支える設計技術

【発表申込先】 下記研究会発表申込システムからお申込み下さい。

<http://www.ieice.org/jpn/ken/kenmoushikomi.html>

【問合先】

富山宏之（立命館大）

TEL〔077〕561-4928

E-mail：ht@fc.ritsumei.ac.jp

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>

☆ICD 研究会今後の予定〔 〕内発表申込締切日

12 月 17 日（木）、18 日（金） 京都工繊大〔締切済〕テーマ：学生・若手研究会

3 月 2 日（水）～4 日（金） 広島大〔未定〕テーマ：マイクロ波集積回路／一般

【発表申込先】 下記研究会発表申込システムからお申込み下さい。

<http://www.ieice.org/jpn/ken/kenmoushikomi.html>

【問合先】

渡辺 理（東芝）

TEL〔044〕549-2285, FAX〔044〕520-1806

E-mail：osamu7.watanabe@toshiba.co.jp

☆CPSY 研究会今後の予定〔 〕内発表申込締切日

12 月 17 日（木）、18 日（金） 京都工繊大〔締切済〕テーマ：学生・若手研究会

1 月 19 日（火）～21 日（木） 慶大日吉キャンパス〔締切済〕テーマ：FPGA 応用及び一般

【問合先】

三吉貴史（富士通研）

TEL [044] 754-2931, FAX [044] 754-2672

E-mail : miyoshi.takashi@jp.fujitsu.com

◎最新情報は CPSY 研究会 Web ページを御覧下さい.

<http://www.ieice.or.jp/iss/cpsy/jpn/>

☆DC 研究会今後の予定 [] 内発表申込締切日

12月18日（金） クリエイト村上（村上市）〔締切済〕 テーマ：安全性・一般

2月17日（水） 機械振興会館〔未定〕 テーマ：VLSI 設計とテスト

【発表申込先】 下記研究会発表申込システムからお申込み下さい.

<http://www.ieice.org/jpn/ken/kenmoushikomi.html>

【問合先】

吉村正義（京都産大コンピュータ理工学部）

E-mail : yoshimura.masayoshi@cc.kyoto-su.ac.jp

◎最新情報は、DC 研究会ホームページを御覧下さい.

<http://www.ieice.org/iss/dc/jpn/index.html>

☆RECONF 研究会今後の予定 [] 内発表申込締切日

1月19日（火）～21日（木） 慶大日吉キャンパス〔締切済〕 テーマ：FPGA 応用及び一般

【問合先】

谷川一哉（広島市大大学院情報科学研究科）

E-mail : tanigawa@hiroshima-cu.ac.jp