★VLSI 設計技術研究会（VLD）

専門委員長　池田　誠　副委員長　澁谷利行

幹事　中武繁寿・峯岸孝行

日時　5 月 29 日（木）　8：30～16：55

会場　北九州国際会議場（北九州市小倉北区浅野 3-9-30．JR 小倉駅より徒歩 5 分．http://www.convention-a.jp/access/　TEL〔093〕541-5931　杉原　真（九大））

議題　システム設計及び一般

物理設計 1

VLD-1．階層構造制約を伴うアナログフラアプラン手法の提案　　中武繁寿（北九州市大）

VLD-2．チャネル分割によるプログラマブル遅延素子の特性検証
　○室岡大二郎・永尾滉二・張　宇・中武繁寿（北九州市大）

VLD-3．劣勾配法による半周近似配線長の解析的最小化　　○香山聡太・宮下　弘（北九州市大）

招待講演

VLD-4．〔招待講演〕（仮題）最適化理論　　松井知己（東工大）

物理設計 2

VLD-5．SystemC モデルから束データ方式による非同期式回路を合成する合成フローの提案
　○小峰太一・齋藤　寛（会津大）

VLD-6．半正定値緩和法を用いた LELECUT トリプルパターニングのためのレイアウト分割手法
　○小平行秀（会津大）・松井知己（東工大）・横山陽子・児玉親亮（東芝）・高橋篤司（東工大）・野嶋茂樹・田中聡（東芝）

午後　回路・ゲートレベル（13：25～）

VLD-7．ゲートレベルパイプライン型自己同期回路のエラー耐性の評価　　崔　伝キ（東大）

VLD-8．ゲートレベルデュアルパイプライン型自己同期回路による Wallace tree 乗算器の SOTB65 nmCMOS による設計　　○田村雅人・池田　誠（東大）

9．ランダムウォーク電源網解析の高速化に向けた節点解析順序の検討　　○岡崎　剛・廣本正之・佐藤高史（京大）

10．低電圧起動回路を用いた省電力チップ間非接触通信回路
　○佐川善彦・廣本正之・佐藤高史（京大）・越智裕之（立命館大）

設計技術・設計事例

VLD-11．CEGAR 法を用いた LUT 回路のブーリアンマッチングの高速化手法　　松永裕介（九大）

VLD-12．多重ループの自動パイプライン化手法とその評価　　○中辻裕亮・南部真宏・神戸尚志（近畿大）

13．圏論を用いた同期回路-ステートマシン対応の一般化　　○西村俊二・尼崎太樹・末吉敏則（熊本大）

14．リチウムイオン蓄電池の高精度残量予測システムの開発と実装　　○林　磊・河原林直記・福井正博（立命館大）

◆情報処理学会；システム LSI 設計技術研究会連催

◎28 日は LSI とシステムのワークショップと共同企画

☆VLD 研究会今後の予定　〔　〕内発表申込締切日

　7 月 9 日（水）～11 日（金）　北大〔未定〕テーマ：システムと信号処理及び一般

【発表申込先】　下記研究会発表申込システムからお申込み下さい．

　http://www.ieice.org/jpn/ken/kenmoushikomi.html

【問合先】

中武繁寿（北九州市大）

E-mail：nakatake@kitakyu-u.ac.jp

◎VLD 研究会ホームページも御覧下さい．

　http://www.ieice.org/~vld/