

CMOS デバイスの微細化は留まるところを知らず、現在ナノメートル領域に向かって着実に進行し続けています。その結果、VLSI チップの集積度は指数関数的に増大し、今や1チップに100億個といった脳の神経細胞数にも匹敵する膨大な数のトランジスタが集積可能になってきております。これにより新たなアプリケーションや情報処理の開拓が期待されます。一方で、漏れ電流やばらつきの問題も顕在化しており、新たな回路技術や設計技術への要求が高まっています。SoC への SRAM やアナログ回路の搭載は一般化し、低電圧動作するメモリや CMOS アナログ回路技術も待望されています。このような背景のもと、VLSI の発展に寄与するためには、新しいアプリケーションやアーキテクチャ、更に先進の回路・設計技術が重要となります。そこで、関連の研究成果を発掘することを目的として、集積回路設計技術に関する小特集（平成 27 年 4 月号）を企画しました。奮っての御投稿をお願い致します。

1. 対象分野

主な分野は以下の通りですが、これらに限定するものではありません。

・VLSI アーキテクチャ・3次元チップ・SoC・メモリ回路・デジタル回路・インタフェース回路・アナログ回路・低消費電力技術・設計技術・実装技術

2. 論文の執筆と取扱い

通常の英文論文と同一とします。原則として刷り上がりペーパー：8ページ、プリーフペーパー：4ページ以内（厳守）とします。詳細は Information for Authors (http://www.ieice.org/eng/shiori/mokuji_es.html) を御参照下さい。査読後の再提出期間（通常は60日）を短縮する場合がありますので、あらかじめ御了承下さい。本小特集への論文投稿については下記を御参照下さい。

3. 投稿方法

査読作業の円滑化を図るため、本小特集では論文の電子投稿を行います。以下の手順で御投稿下さい。

https://review.ieice.org/regist/regist_baseinfo_e.aspx より登録を行って下さい。また、Web上で著作権の譲渡手続きを行って下さい。なお登録時には必ず“Journal/Section”で [Special-CD] Solid-State Circuit Design-Architecture, Circuit, Device and Design Methodology を選択して下さい。[Regular-EC] を選択しないで下さい。

4. 論文投稿締切日 平成 26 年 7 月 21 日（月）必着

5. 問合せ先

吉瀬謙二

東京工業大学大学院情報理工学研究科計算工学専攻

〒152-8552 東京都目黒区大岡山 1-12-1-W8-79

TEL & FAX [03] 5734-3698, E-mail : kise@cs.titech.ac.jp

6. 小特集編集委員会

委員長 山村 毅（富士通研）

幹事 吉瀬謙二（東工大）

委員 天川修平（広島大）、飯塚哲也（東大）、伊藤真紀子（富士通研）、川口 博（神戸大）、崎村 昇（日本電気）、竹村理一郎（日立）、土谷 亮（京大）、年吉 洋（東大）、鳥居 淳（トプスシステムズ）、中塚淳二（パナソニック）、橋本昌宜（阪大）、原田知親（山形大）、本村真人（北大）、吉田 毅（広島大）、ポカレル・ラメシュ（九大）

7. 付記

- ・論文採録の場合は掲載別刷代が必要となりますので、あらかじめ御了承下さい。
- ・投稿に際しては、著者のうち少なくとも1名は本会会員でなければなりません。ただし招待論文に関してはこの限りではありません。必要な投稿資格を満たしていない著者からの投稿論文については、投稿を受け付けないこととなりますので御注意下さい。入会の案内はこちらを御覧下さい。

<http://www.ieice.org/jpn/nyukai/index.html>