

★VLSI 設計技術研究会 (VLD)

専門委員長 池田奈美子 副委員長 中武繁寿
幹事 宮村 信・今井 雅 幹事補佐 西元琢真

★集積回路研究会 (ICD)

専門委員長 高橋真史 副委員長 池田 誠
幹事 宮地幸祐・新居浩二 幹事補佐 塩見 準・吉原義昭・久保木 猛

★ディペンダブルコンピューティング研究会 (DC)

専門委員長 土屋達弘 副委員長 細川利典
幹事 新井雅之・難波一輝

★リコンフィギャラブルシステム研究会 (RECONF)

専門委員長 佐野健太郎 副委員長 山口佳樹・泉 知論
幹事 小林悠記・佐藤幸紀 幹事補佐 竹村幸尚・長名保範

日時 11月28日(月) 13:00~18:00
29日(火) 9:30~18:50
30日(水) 9:30~17:30

会場 金沢市文化ホール (ハイブリッド開催, 主: 現地開催, 副: オンライン開催) (〒920-0864 金沢市高岡町 15-

1. <https://www.bunka-h.gr.jp/access/>)

議題 デザインガイア 2022—VLSI 設計の新しい大地—

28日午後 【VLD】 VLSI 設計技術 (B 会場) (13:05~14:45)

VLD-1. FPGA-SoM を用いた ASIC 試作チップ評価システムの構築

○今井 雅 (弘前大)・吉瀬謙二 (東工大)・米田友洋 (NII)

VLD-2. 並列プレフィックス加算器の構造・桁並び同時最適化に関する考察 金子峰雄 (北陸先端大)

VLD-3. 集合対間配線問題に対する SAT を用いた配線手法 ○長倉光輝・横屋凜太郎・藤吉邦洋 (東京農工大)

VLD-4. 多様な CGRA の設計探索を支援するフレームワークの初期実装

○小島拓也・齋藤 真・中村 宏 (東大)

IEEE CASS 招待講演 (A 会場) (13:00~14:00)

5. [IEEE CASS 招待講演] IEEE 論文誌投稿のススメ 関屋大雄 (千葉大)

IEEE CASS ショートプレゼンテーション (A 会場) (14:00~15:00)

【DC】 高信頼 LSI 設計技術 (B 会場) (15:00~16:15)

DC-6. FALL 攻撃に耐性のある SFLL-HD の秘密鍵の特定手法

○野口葉平・吉村正義 (京都産大)・三浦 怜・細川利典 (日大)

DC-7. 近似演算を用いる乗算器に対するテストパターン削減について

○東海翔午・赤松大地・四柳浩之・橋爪正樹 (徳島大)

DC-8. 動作電圧引き下げによる低消費電力ニューラルネットワークのための 6T-8T ハイブリッド SRAM

○余 若曦・難波一輝 (千葉大)

ポスターセッション (展示室) (16:15~18:00)

29日午前 【DC】 高信頼 LSI テスト技術 (A 会場) (9:30~10:45)

DC-1. RTL 故障診断容易化設計に基づくテスト生成法 ○千田祐弥・細川利典 (日大)・山崎浩二 (明大)

DC-2. 識別可能ハードウェア要素ベア数最大化のためのコントローラの制御信号のドントケア割当て法

○大塚裕衣・千田祐弥・徐 浩豊・細川利典 (日大)・山崎浩二 (明大)

DC-3. 組み込み自己テストにおける複数ランダムレジスタント縮退故障のシード生成法

○三浦 怜・細川利典 (日大)・吉村正義 (京都産大)

【RECONF】 FPGA コンピューティング (A 会場) (11:00~12:15)

RECONF-4. 自律駆動 DMA エンジンを搭載した FPGA 演算システム

○横野智也・山部芳朗・田仲顕至・有川勇輝・石崎晃朗 (NTT)

RECONF-5. M-KUBOS マルチ FPGA システムにおける HLS 向けメッセージパッシングインタフェースの実装

○弘中和衛・飯塚健介・天野英晴 (慶大)

RECONF-6. マルチ FPGA システムの高位合成シミュレーション手法に関する検討

○池原陽大・本吉圭吾・福田航生・眞邊泰斗・柴田裕一郎 (長崎大)・上野知洋・佐野健太郎 (理研)

29日午後 基調講演 (A 会場) (13:30~14:20)

7. [基調講演] More Moore 時代を支える半導体パッケージテクノロジーの展望 西尾俊彦 (SBR テクノロジー)

[ICD] ハードウェアアクセラレータ (A 会場) (14:30~15:45)

ICD-8. スケーラブル型全結合イジングマシン内部の相互作用半減による独立した2つのイジングマシンの実装

○北原伸次朗・遠藤あかり・恵 太一・河原尊之 (東京理科大)

ICD-9. 深層学習を用いた高精細動画像向け階層型物体検出システム

○堀川雄生・菅谷 真・吉田錬平・増子和磨・松村哲哉 (日大)

ICD-10. ニューロン CMOS インバータを用いた FGC 付き 4 入力可変論理回路の評価

○伊藤祥磨・西口大嗣・福原雅朗 (東海大)

[VLD] イジングモデル (A 会場) (16:00~17:40)

VLD-11. イジングモデル係数へのノイズ付与によるイジングマシン高精度化手法

○吉村友和・白井達彦・多和田雅師・戸川 望 (早大)

VLD-12. 外部磁場の調整によるイジングマシンへの初期解擬似導入手法

○川上蒼馬 (早大)・大野乾太郎・巴 徳瑪・八木哲志・寺本純司 (NTT)・戸川 望 (早大)

VLD-13. イジングマシンを繰り返し用いるイテレーティブアニーリング手法と組合せ最適化問題の評価

○深田佳佑 (早大)・パリジ マチュー (早大/富士通)・富田憲範 (富士通)・戸川 望 (早大)

VLD-14. 基底状態の破壊を検出可能な係数分割によるイジングモデルのビット幅削減

○谷地悠太・多和田雅師・戸川 望 (早大)

招待講演 (A 会場) (18:00~18:50)

5. [招待講演] Movethan Moore を切り拓 (最先端ロジック設計技術 安井卓也 (TSMC デザインテクノロジージャパン))

30 日午前 [VLD] 回路モデリング及び DFM 手法 (A 会場) (9:30~11:10)

VLD-1. 極低温 CMOS 設計ライブラリの構築

○阪本利司・宮村 信・船橋一訓・岡本浩一郎・多田宗弘 (NBS)・田中貴久・内田 健 (東大)・石黒仁揮 (慶大)

VLD-2. MTJ ベース不揮発性フリップフロップの最適ストア時間に関する解析式の提案

○横山大輝・宇佐美公良 (芝浦工大)・亀井愛佳・天野英晴 (慶大)

VLD-3. LUT ベースの光強度推定による高速な SRAF 最適化手法 ○齊藤颯太・高橋篤司 (東工大)

VLD-4. ボロノイ分割と繰り返し改善によるマスク最適化手法

○野中尚貴・小平行秀 (会津大)・高橋篤司 (東工大)・児玉親亮 (キオクシア)

[ICD] ハードウェアデザイン, ハードウェアセキュリティ (B 会場) (9:30~11:10)

ICD-5. 大きさの異なる2つのコプレーナ型静電容量センサを用いた液滴の接触角推定手法

○古田 翼・土谷 亮・井上敏之・岸根桂路 (滋賀県立大)

ICD-6. 帯域内位相雑音の低減に向けた3次 MASH 型 $\Delta \Sigma$ FDC に基づくデジタル位相同期回路の設計

○岩下僚我・徐 祖楽・長田 将・柴田凌弥・熊野 陽・飯塚哲也 (東大)

ICD-7. 暗号モジュール搭載チップのシステムレベルセキュリティ評価

○松丸琢弥・門田和樹 (神戸大)・沖殿貴朗 (SCU)・三木拓司・永田 真 (神戸大)

ICD-8. セキュア半導体システムにおける電源結合網の評価

○眞柴 将・門田和樹 (神戸大)・沖殿貴明 (SCU)・三木拓司・永田 真 (神戸大)

30 日午後 表彰式 (A 会場) (12:40~13:20)

9. [表彰式]

基調講演 (A 会場) (13:20~14:10)

10. [基調講演] More Moore 時代を更に拓く CMOS デバイス技術 若林 整 (東工大)

[DC] 高信頼 LSI 設計と評価 (A 会場) (14:20~15:35)

DC-11. 遅延検査容易化設計を用いる PUF 回路の周囲温度による動作性能調査

○大濱瑛祐・四柳浩之・橋爪正樹 (徳島大)

DC-12. 3次元積層 IC に実装した遅延検査容易化回路による TSV 検査能力評価

○高見圭悟・四柳浩之・橋爪正樹 (徳島大)

DC-13. 軽量のワンタイムパスワード認証方式を用いた JTAG アクセス機構の FPGA 実装と面積評価

○岡本 悠・馬 竣・王森レイ・甲斐 博・高橋 寛 (愛媛大)・清水明宏 (高知工科大)

[SLDM] 設計技術 (B 会場) (14:20~16:00)

14. 周波数とゲインの同時変調によるデジタル LDO の応答性向上

○山口 駿・イスラム マーフズル・久門尚史・和田修己 (京大)

15. 3D Stacked SRAM を活用した HPC 向けメモリアーキテクチャの検討

○萩原 汐 (富士通)・幸 朋矢 (東工大)・吉川隆英 (富士通)・遠藤敏夫 (東工大)

16. マルチコアプロセッサ自動設計ツール FabScalar-RISCV に対応した同期機構の実装と評価

○柏森風介・佐々木敬泰 (愛知県立大)

17. 設計空間探索ツールによる推論用 CNN デザイン自動生成フローの提案

○酒井 完・中村寿彦・近藤克彦 (NEC)

【RECONF】FPGA 応用 (A 会場) (15:50~17:30)

RECONF-18. FPGA における差動信号入力を用いた確率共鳴回路の設計と試作

○塚原彰彦・趙 崇貴・田中慶太・本間章彦・内川義則 (東京電機大)

RECONF-19. 高速シリアルトランシーバ向けの汎用型ビットエラーテストの検討

○玉城玖之・長名保範 (琉球大)

RECONF-20. 敵対的サンプル攻撃対策を Vitis-AI で実現するためのモデル量子化手法の実装と評価

○福田悠太・吉田康太・藤野 毅 (立命館大)

RECONF-21. 穀物の草丈の精密計測を対象とするステレオマッチングの Kria SOM による実装

○中川 諒・山口佳樹 (筑波大)・イマン フィルマンシャー (BRIN)

【VLD】ハードウェアトロイ及び FPGA 実装 (B 会場) (16:15~17:30)

VLD-22. Real-time Learned Image Codec on FPGA

○Heming Sun・Jiro Katto (Waseda Univ.)・Masahiro Fujita (Univ. of Tokyo)

VLD-23. 消費電力波形の形状を考慮した IoT デバイス異常動作検知手法の FPGA への適用

○久古幸汰・戸川 望 (早大)

VLD-24. ハードウェアトロイの挿入された計算機が齟齬誤りの検知と対策 ○葛西巧朗・今井 雅 (弘前大)

◆情報処理学会；システムと LSI の設計技術研究会連催。IEEE CASS Japan Joint Chapter, IEEE CASS Kansai Chapter, IEEE CEDA All Japan Joint Chapter, IEEE SSCS Kansai Chapter 共催

☆VLD 研究会今後の予定 [] 内発表申込締切日

2023 年 1 月 23 日 (月), 24 日 (火) 慶大・日吉キャンパス 来往舎 2 階大会議室 [未定] テーマ: FPGA 応用及び一般

【問合先】

今井 雅 (弘前大)

E-mail: miyabi@hirosaki-u.ac.jp

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>

☆ICD 研究会今後の予定 [] 内発表申込締切日

12 月 17 日 (土)~19 日 (月) 宮古島 (予定) テーマ: 学生・若手研究会

【問合先】

新居浩二 (TSMC デザインテクノロジージャパン)

E-mail: nii.koji@gmail.com

☆DC 研究会今後の予定 [] 内発表申込締切日

12 月 16 日 (金) 旧大阪商船「海峡ロマンホール」[締切済] テーマ: Winter Workshop on Safety (安全性に関する冬のワークショップ) 安全性, その他一般

【問合先】

新井雅之 (日大)

E-mail: arai.masayuki@nihon-u.ac.jp

◎最新情報は, DC 研究会ホームページを御覧下さい。

<http://www.ieice.org/iss/dc/jpn/index.html>

☆RECONF 研究会今後の予定 [] 内発表申込締切日

2023 年 1 月 23 日 (月), 24 日 (火) 慶大・日吉キャンパス来往舎 2 階大会議室 [未定] テーマ: FPGA 応用及び一般

【問合先】

佐野健太郎 (理研)

◎RECONF 研究会ホームページも御覧下さい。

<http://www.ieice.org/~reconf/>

◎情報交換の場として研究会公式 Slack を用意しています。下記リンクから自由に参加できます。

https://join.slack.com/t/reconfworkspace/shared_invite/zt-v3qeynk3-RsInu4wdjqU2t_ysqWvagg