

★VLSI 設計技術研究会 (VLD)

専門委員長 小林和淑 副委員長 池田奈美子
幹事 兼本大輔・宮村 信

★コンピュータシステム研究会 (CPSY)

専門委員長 鯉渕道紘 副委員長 中島耕太・津邑公暁
幹事 井口 寧・小川周吾 幹事補佐 小林諒平・宮島敬明

★リコンフィギャラブルシステム研究会 (RECONF)

専門委員長 佐野健太郎 副委員長 山口佳樹・泉 知論
幹事 小林悠記・中原啓貴 幹事補佐 竹村幸尚・長名保範

日時 1月24日(月) 9:30~17:35
25日(火) 9:30~17:30

会場 オンライン開催

議題 FPGA 応用及び一般

24日午前 回路設計 (9:30~11:10)

VLD-1. Stochastic Computing における相関を利用した演算を連続して行うための相関を制御する手法の検討
○チョウ キ・山下 茂 (立命館大)

VLD-2. SD 数を用いた法集合 $\{2^k, 2^{n+1}, 2^{n-1}\}$ の剰余数系逆変換回路の研究
○森井貴大・田中勇樹・魏 書剛 (群馬大)

VLD-3. RTOS 利用システムの汎用高位合成系を用いたフルハードウェア化
○安堂拓也・石井雄吾・石浦菜岐佐 (関西学院大)・富山宏之 (立命館大)・神原弘之 (京都高度技研)

VLD-4. RTOS 利用システムのフルハードウェア化における通信機能の実装
○篠原由季乃・石浦菜岐佐 (関西学院大)

アニーリングマシン (11:25~12:15)

CPSY-5. マルチチップ動作によるスケラブル全結合型アニーリングマシンの検討と FPGA 実装
○山本 薫・河原尊之 (東京理科大)

VLD-6. イジング計算機のための局所解脱法とその応用 ○白井達彦・戸川 望 (早大)

24日午後 招待講演 (13:15~14:05)

RECONF-7. [招待講演] 量子コンピュータ制御システムの研究・開発・製造・販売への挑戦
三好健文 (キューエル)

アーキテクチャ (14:25~15:40)

CPSY-8. IMAX2 を用いた高効率な疎行列-疎行列積の実装 ○船井遼太郎・張 任遠・中島康彦 (奈良先端大)

RECONF-9. 仮想エンジンアーキテクチャにおける RISC-V 同時マルチスレッディング (SMT) コアの実現

○田中秀太郎・田中友章・長岡慶太・東 良輔 (東京農工大)・関部 勉・高田周一 (ArchiTek)・中條拓伯 (東京農工大)

10. [ARC] マルチバンク L1D のアクセス競合による性能劣化の低減の検討 ○依田勝洋・吉川隆英 (富士通)
ニューラルネットワーク (15:55~17:35)

RECONF-11. 蒸留とレイヤー枝刈りによるエッジデバイス推論処理の高速化について

○市川雄樹・神宮司明良・倉持亮佑・中原啓貴 (東工大)

RECONF-12. 最終層学習による DPU の学習機能追加について ○高嶋優希・神宮司明良・中原啓貴 (東工大)

RECONF-13. FPGA クラスタ向け CNN 推論用アクセラレータの一検討

○境 琳太郎・中原康宏 (熊本大/理研)・佐野健太郎 (理研)・飯田全広 (熊本大/理研)

CPSY-14. Ternarizing Deep Spiking Neural Network

○Man Wu・Yirong Kan・Van_Tinh Nguyen・Ren Yuan Zhang・Yasuhiko Nakashima (NAIST)

25日午前 アプリケーション (9:30~11:10)

CPSY-1. GPU を用いた並列処理による物体間最小距離近似計算アルゴリズムの高速化

○福田真珠美・黒川恭一・松原 隆・岩井啓輔 (防衛大)

CPSY-2. 3次元 Lidar SLAM における精度劣化を考慮した点群データ量削減

○小島瑠斗・杉浦圭祐・松谷宏紀 (慶大)

RECONF-3. マイクロ波レーダを用いたウォークスルーセキュリティ検査システムにおけるイメージング処理の
FPGA 実装 ○住谷達哉・小林悠記・有吉正行 (NEC)

RECONF-4. FPGA を用いたリアルタイムステレオマッチングシステムの構築

○ウェイ カイジ (慶大)・久野祐輝 (マレリ)・新井正敏 (埼玉大)・天野英晴 (慶大)

ネットワーク (11:25~12:15)

CPSY-5. オンライン逐次学習によるパケットルーティングの軽量機械学習手法

○根本研司・古川雅輝・渡邊寛悠・松谷宏紀 (慶大)

CPSY-6. 低直径ネットワーク・トポロジのための適応型デッドロックフリー・ルーティング

○河野隆太 (NII)・松谷宏紀 (慶大)・鯉渕道紘 (NII)・天野英晴 (慶大)

25 日午後 再構成回路 (13:15~14:30)

RECONF-7. 少構成メモリ論理セル SLM 向けテクノロジーマッピングアルゴリズムの一検討

○木内泉美・中里優弥 (熊本大)・趙 謙 (九工大)・飯田全広 (熊本大)

8. [SLDM] CNN の組み合わせ回路実装に向けた重み調整による LUT 数削減手法の検討

○根尾優一郎 (阪大)・橋本昌宜 (京大)

RECONF-9. HPC 向け RIKEN CGRA のためのコンパイル環境整備と予備評価

○小島拓也 (東大)・Carlos Cesar Cortes Torres・Boma Adhi・Yiyu Tan・佐野健太郎 (理研)

(14:45~16:25)

RECONF-10. 仮想回線交換網を利用した FPGA クラスタにおける集団通信性能評価

○上野知洋・佐野健太郎 (理研)

RECONF-11. Initial Design and Evaluation of RIKEN CGRA: Data-Driven Architecture for Future HPC

○Boma Adhi・Carlos Cortes・Yiyu Tan (R-CCS)・Takuya Kojima (Univ. of Tokyo)・Artur Podobas (KTH)・Kentarō Sano (R-CCS)

RECONF-12. 再構成可能仮想アクセラレータ (ReVA) の実現に向けたキャッシュコヒーレントな相互接続規格の検討

○前田依莉子・照屋大地・中條拓伯 (東京農工大)

RECONF-13. FPGA 向け 4 倍精度浮動小数点演算器の設計と共役勾配法による評価

○柿根尚喜・窪田昌史・弘中哲夫 (広島市大)

(16:40~17:30)

VLD-14. ネイティブコード比較に基づく Android DEX コンパイラの最適化性能テスト

○吉田直生・石浦菜岐佐 (関西学院大)

CPSY-15. 検知困難なハードウェア・トロジヤンによる不正パケット迂回攻撃

○四釜快弥 (慶大)・鯉渕道紘 (NII)・天野英晴 (慶大)

◆情報処理学会；システム・アーキテクチャ研究会／システムと LSI の設計技術研究会連催

☆VLD 研究会

【問合先】

小平行秀 (会津大)

E-mail: kohira@u-aizu.ac.jp

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>

☆CPSY 研究会

◎最新情報は CPSY 研究会 Web ページを御覧下さい。

<https://www.ieice.org/~cpsy/>

☆RECONF 研究会

【問合先】

中原啓貴 (東工大)

小林悠記 (NEC)

E-mail: y-kobayashi.hq@nec.com

◎RECONF 研究会ホームページも御覧下さい。

<http://www.ieice.org/~reconf/>