

★VLSI 設計技術研究会 (VLD)

専門委員長 小林和淑 副委員長 池田奈美子
幹事 兼本大輔・宮村 信

★集積回路研究会 (ICD)

専門委員長 高橋真史 副委員長 池田 誠
幹事 廣瀬哲也・新居浩二 幹事補佐 宮地幸祐・吉原義昭・久保木 猛

★ディペンダブルコンピューティング研究会 (DC)

専門委員長 高橋 寛 副委員長 土屋達弘
幹事 新井雅之・難波一輝

★リコンフィギャラブルシステム研究会 (RECONF)

専門委員長 佐野健太郎 副委員長 山口佳樹・泉 知論
幹事 小林悠記・中原啓貴 幹事補佐 竹村幸尚・長名保範

日時 12月1日(水) 9:20~19:00
2日(木) 9:20~16:00

会場 EventIn (詳細: <https://sites.google.com/view/design-gaia-2021/>)

議題 デザインガイア2021—VLSI 設計の新しい大地—

1日午前 【VLD】低電力回路技術及びソフトエラー対策 (A会場) (9:20~11:00)

VLD-1. TCADを用いた回路とレイアウト構造によるフリップフロップのソフトエラー耐性の評価

○小谷萌香・中島隆一(京都工繊大)・井置一哉(ローム)・古田 潤・小林和淑(京都工繊大)

VLD-2. FVFを応用したPSRR帯域拡張回路を搭載した脳波計測ウェアラブルデバイス向け低消費LDO

○三井健司・兼本大輔・毎田 修・廣瀬哲也(阪大)

VLD-3. データウェア・ストア機能を持つMTJベース不揮発性SRAM回路の提案と評価

○宮内陽里・宇佐美公良(芝浦工大)

VLD-4. 不揮発性FFを用いたマルチコンテキストCGRA ○亀井愛佳・小島拓也・天野英晴(慶大)・横山大輝・

宮内陽里・宇佐美公良(芝浦工大)・平賀啓三・鈴木健太(ソニーセミコンダクタソリューションズ)

【RECONF】機械学習 (B会場) (9:20~11:00)

RECONF-5. gMLPを用いた画像認識向けDNNアクセラレータのFPGA実装 ○神宮司明良・中原啓貴(東工大)

RECONF-6. Sparsity-Gradient-Based Pruning and the Vitis-AI Implementation for Compacting Deep Learning Models ○Hengyi Li・Xuebin Yue・Lin Meng(Ritsumeikan Univ.)

RECONF-7. シストリックアレイによる多層パーセプトロンの学習アクセラレータについて

○妹尾豪士・神宮司明良・倉持亮佑・中原啓貴(東工大)

RECONF-8. 数値表現positを用いたDNNアクセラレータReNAの基礎評価

○中原康宏・増田雄太・木山真人・尼崎太樹・飯田全広(熊本大)

【DC】低消費電力及びモデル検証 (A会場) (11:10~12:00)

DC-9. UPPAALを用いた連動結線のモデル検証の検討

○長谷川 匠・矢吹耕平・志村貴大(京三製作所)・水間 毅(東大)

DC-10. SRAMの動作電圧引き下げによるニューラルネットワークの低電力化 ○高津啓佑・難波一輝(千葉大)

【SLDM】設計技術 (B会場) (11:10~12:25)

11. ループ平坦化におけるループ回数の2のべき乗による回路最適化 ○伊澤昇平・瀬戸謙修(東京都市大)

12. 並列演算を効率化する組込みシステム向けデータ整形機構 ○間宮暉之・山崎信行(慶大)

13. 配置配線パズルのための逐次合体アルゴリズムとその展望 ○鈴木修平・蓮見平八郎・藤吉邦洋(東京農工大)

1日午後 基調講演 (ホール) (13:00~14:00)

14. [基調講演] サイバー空間とフィジカル空間の接点:集積システムのあるべきカタチ 三浦典之(阪大)

【VLD】Stochastic Computing 及びバイオチップ (A会場) (14:20~16:00)

VLD-15. 3線式SNを用いた演算法 ○川南翔貴・山下 茂(立命館大)

VLD-16. Stochastic Computingにおける加算の演算精度の向上手法 ○市川克泰・山下 茂(立命館大)

VLD-17. Digital Microfluidic Biochipにおけるエラー同士の相殺を利用したエラー訂正手法

○和田有史・山下 茂(立命館大)

VLD-18. 拡張ネットワークフローモデルの最適な階層数を求める手法 ○石田 滉・山下 茂(立命館大)

【ICD】ハードウェアセキュリティ (B会場) (14:20~15:10)

ICD-19. デュアルモード SAR ADC を用いた電源ノイズ解析攻撃の検知手法の考案

○弘原海拓也・三木拓司・永田 真 (神戸大)

ICD-20. オンチップモニタを用いたダイナミック電圧ドロップ診断

○門田和樹 (神戸大)・レオニダス カタセラス (アリストトゥル大)・フェレンク フォーダー (IMEC)・アルキス ハッツォプーロス (アリストトゥル大)・永田 真 (神戸大)・エリック ヤン マリニッセン (IMEC)

ポスター発表・懇親会 (17:00~19:00)

21. 【RECONF】

(P-1) gMLP を用いた画像認識向け DNN アクセラレータの FPGA 実装 神宮司明良 (東工大)

(P-2) シストリックアレイによる多層パーセプトロンの学習アクセラレータについて 妹尾豪士 (東工大)

【VLD】

(P-3) FVF を応用した PSRR 帯域拡張回路を搭載した脳波計測ウェアラブルデバイス向け低消費 LDO

三井健司 (阪大)

(P-4) 荷重と風による飛行速度の変化を考慮したドローン配送計画 伊藤 哲 (立命館大)

(P-5) RF 回路の同時測定におけるウェハー面上ダイ特性ばらつきモデル化 Riaz-ul-haque Mian (Shimane Univ.)

(P-6) TCAD を用いた回路とレイアウト構造によるフリップフロップのソフトエラー耐性の評価

小谷萌香 (京都工繊大)

【ICD】

(P-7) FPGA 上の RISC-V ベースの音声認識システム WU XIAOTING (電通大)

(P-8) RISC-V を用いた畳み込みニューラルネットワーク 大城広輝 (電通大)

【SLDM】

(P-9) FPGA based accelerator for neural networks computation with flexible pipelining 易 慶陽 (東大)

(P-10) Rocket-Chip への三角関数演算命令の実装と評価 中尾怜史 (近畿大)

2 日午前 【VLD】 VLSI 設計技術とアルゴリズム (A 会場) (9:20~11:00)

VLD-1. メムキャパシタを用いたスパイキングニューラルネットワークの開発—シナプス強度とキャパシタンスの変換方式改善による認識精度のロス低減— ○澤田篤志・押尾怜穂・木村 睦・張 任遠・中島康彦 (奈良先端大)

VLD-2. 荷重と風による飛行速度の変化を考慮したドローン配送計画

○伊藤 哲・赤岩慧士・舟橋勇佑・西川広記・孔 祥博 (立命館大)・谷口一徹 (阪大)・富山宏之 (立命館大)

VLD-3. 圧縮センシングを活用した心電図計測フレームワークの一設計法

○松村侑紀・兼本大輔・毎田 修・廣瀬哲也 (阪大)

VLD-4. 正確丸めを実現する FPGA 向き指数関数計算法 ○原口卓也・高木直史 (京大)

【RECONF】 応用事例 (B 会場) (9:20~11:00)

RECONF-5. マルチ FPGA システム上への、動的な通信優先度変化を実現するハイブリッドルータの実装

○清水智貴・伊藤光平・飯塚健介・弘中和衛・天野英晴 (慶大)

RECONF-6. 幅優先探索専用アクセラレータ HyGTA におけるキャッシュメモリの検討

○原口雄士・谷川一哉 (広島市大)・佐野健太郎 (理研)・弘中哲夫 (広島市大)

RECONF-7. FPGA を用いたフィットネスゲームにおけるリアルタイム運動データ記録支援システムの提案

○滝川 潤・成見 哲 (電通大)

RECONF-8. デザインガイアにおける研究開発テーマの変遷—テキストマイニングによる分析—

岡部 忠 (都立産技研センター)

【SLDM】 設計事例 (A 会場) (11:10~12:00)

9. FPGA based accelerator for neural networks computation with flexible pipelining

○易 慶陽・藤田昌宏 (東大)・孫 鶴鳴 (早大/JST)

10. Rocket-Chip への三角関数演算命令の実装と評価 ○中尾怜史・武内良典 (近畿大)

【RECONF】 高位合成設計 (B 会場) (11:10~12:00)

RECONF-11. FPGA 向け乱数生成器の高位合成 IP 化設計と比較検討 ○浅海悠人・泉 知論 (立命館大)

RECONF-12. 重力多体問題を例とした高位合成ツールの性能比較—SDSoC と Vitis の違いに関して—

○村松耀生・成見 哲 (電通大)

2 日午後 基調講演 (ホール) (13:00~14:00)

13. [基調講演] 低レイテンシ映像 AI 技術とそのユースケース 馬場隆行 (アイベックステクノロジー)

【VLD】 DFM 及びモデリング手法 (A 会場) (14:20~16:00)

VLD-14. Wafer-level Variation Modeling for Multi-site Testing of RF Circuits

○Riaz-ul-haque Mian (Shimane Univ.)・Michihiro Shintani (NAIST)・Tomoki Nakamura・Masuo Kajiyama・Makoto Eiki (Sony Semiconductor Manufacturing)・Michiko Inoue (NAIST)

VLD-15. 2 層配線問題におけるチャンネル配線手法の応用 ○石神魁人・藤吉邦洋 (東京農工大)

VLD-16. 代表クリップ生成を考慮したレイアウトパターン分類問題における改良手法—Chang らの判定法の解析に基づいた手法の提案— ○榎谷智哉・石野修平・藤吉邦洋（東京農工大）

VLD-17. イジングマシンを用いたマスク最適化手法

○小平行秀・中山晴貴・野中尚貴（会津大）・松井知己・高橋篤司（東工大）・児玉親亮（キオクシア）

【ICD】ハードウェアデザイン（B会場）（14：20～16：00）

ICD-18. RISC-Vを用いた畳み込みニューラルネットワーク 大城広輝（電通大）

ICD-19. 動作環境適応型パワーゲーティングスイッチ制御技術とその不揮発ロジック LSI への応用

○鐘 方岑・夏井雅典・羽生貴弘（東北大）

ICD-20. A Sub uW and 14 bit Resolution Temperature Sensor for IoT Using Thermistor-Defined TDC

○Nguyen Trong Hung・Koichiro Ishibashi（UEC）

ICD-21. RISC-V-based Speech Recognition System on FPGA

○Xiaoting Wu・Duran Ckristian・Cong-Kha Pham（UEC）

◆情報処理学会；システムと LSI の設計技術研究会連催。IEEE SSCS Japan Chapter；IEEE SSCS Kansai Chapter 共催
☆VLD 研究会今後の予定 [] 内発表申込締切日

2022 年 1 月 未定〔未定〕テーマ：FPGA 応用及び一般

【問合先】

兼本大輔（阪大）

E-mail：dkanemoto@eei.eng.osaka-u.ac.jp

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>

☆ICD 研究会今後の予定 [] 内発表申込締切日

12 月 18 日（土）～20 日（月）石垣市〔12 月 5 日（日）〕テーマ：学生・若手研究会

【問合先】

柘植政利（ソシオネクスト）

E-mail：tsuge.masatoshi@socionext.com

☆DC 研究会今後の予定 [] 内発表申込締切日

12 月 10 日（金）国民宿舎小豆島（ふるさと荘交流センター）〔締切済〕テーマ：（第 6 回）Winter Workshop on Safety（安全性に関する冬のワークショップ）—（共催：日本信頼性学会）

【問合先】

新井雅之（日大）

E-mail：arai.masayuki@nihon-u.ac.jp

◎最新情報は、DC 研究会ホームページを御覧下さい。

<http://www.ieice.org/iss/dc/jpn/index.html>

☆RECONF 研究会今後の予定 [] 内発表申込締切日

2022 年 1 月 未定〔未定〕テーマ：FPGA 応用及び一般

【問合先】

佐野健太郎（理研）

E-mail：kentaro.sano@riken.jp

◎RECONF 研究会ホームページも御覧下さい。

<http://www.ieice.org/~reconf/>