

CMOS デバイスの微細化は留まるところを知らず、現在ナノメートル領域に向かって着実に進行し続けています。その結果、VLSI チップの集積度は指数関数的に増大し、今や1チップに100億個といった脳の神経細胞数にも匹敵する膨大な数のトランジスタが集積可能になってきております。これにより新たなアプリケーションや情報処理の開拓が期待されます。一方で、漏れ電流やばらつきの問題も顕在化しており、新たな回路技術や設計技術への要求が高まっています。SoC への SRAM やアナログ回路の搭載は一般化し、低電圧動作するメモリや CMOS アナログ回路技術も待望されています。このような背景のもと、VLSI の発展に寄与するためには、新しいアプリケーションやアーキテクチャ、更に先進の回路・設計技術が重要となります。そこで、関連の研究成果を発掘することを目的として、集積回路設計技術に関する小特集（2021年7月号）を企画しました。奮っての御投稿をお願い致します。

1. 対象分野

主な分野は以下の通りですが、これらに限定するものではありません。

- ・ VLSI アーキテクチャ
- ・ アナログ回路
- ・ 3次元チップ
- ・ 低消費電力技術
- ・ SoC
- ・ 設計技術
- ・ メモリ回路
- ・ 実装技術
- ・ デジタル回路
- ・ 信頼度
- ・ インタフェース回路
- ・ 高歩留り

2. 論文の執筆と取扱い

通常の英文論文と同一とします。原則として刷り上がりペーパー：8ページ、ブリーフペーパー：4ページ以内（厳守）とします。詳細は Information for Authors (https://www.ieice.org/eng/shiori/mokuji_es.html) を御参照下さい。査読後の再提出期間（通常は60日）を短縮する場合がありますので、あらかじめ御了承下さい。本小特集への論文投稿については下記を御参照下さい。

3. 投稿方法

査読作業の円滑化を図るため、本小特集では論文の電子投稿を行います。以下の手順で御投稿下さい。

https://review.ieice.org/regist/regist_baseinfo_e.aspx より登録を行って下さい。また、Web上で著作権の譲渡手続きを行って下さい。なお登録時には必ず“Journal/Section”で [Special-CD] Solid-State Circuit Design-Architecture, Circuit, Device and Design Methodology を選択して下さい。[Regular-EC] を選択しないで下さい。

4. 論文投稿締切日 2020年7月17日（金）厳守

5. 問合せ先

升井義博

広島工業大学／工学部／電子情報工学科

TEL [082] 921-4460, E-mail : y.masui.78@cc.it-hiroshima.ac.jp

6. 小特集編集委員会

委員長 永田 真（神戸大）

幹事 升井義博（広島工大）

委員 兼本大輔（阪大）、木原崇雄（阪工大）、徐 祖樂（東大）、菅原 寛（ウェスタンデジタル）、細谷健一（広島工大）、古田善一（デンソー）、夏井雅典（東北大）、新津葵一（名大）

7. 重要なお知らせ

- ・ Webによる電子投稿の際、“Copyright Transfer and Page Charge Agreement”に承諾して頂きます。
- ・ 招待論文を含むすべての著者は、論文が採録となった場合、2020年12月頃に掲載料をお支払い頂くこととなります。2021年1月15日までに支払いが完了しない場合には、採録取り消しとなります。
- ・ 投稿に際しては、著者のうち少なくとも1名は本会会員でなければなりません。ただし招待論文に関してはこの限りではありません。必要な投稿資格を満たしていない著者からの投稿論文については、投稿を受け付けないこととなりますので御注意下さい。入会の案内はこちらを御覧下さい。

<https://www.ieice.org/jpn/join/index.html>