

最先端 FinFET プロセス・集積化技術

Advanced FinFET Process Integration Technology for 32nm Node and Beyond

稲葉 聡

Abstract

シリコン LSI の世界で，“More Moore”，“More than Moore” という概念が言い出されて既に数年が過ぎた。予想されていたこととはいえ、従来のスケーリング則に基づいた CMOS デバイスの微細化は確実にその限界に近づいており、できる限り CMOS 技術を延命したいという立場から様々な取組みが行われている。

本稿では、従来の平面形 MOSFET の代わりに MOSFET 技術を延命できる可能性のある三次元 MOSFET、特に FinFET のデバイスインテグレーション技術について解説する。

キーワード：FinFET, CMOS, FD-SOI, 三次元構造, SRAM, LER, LWR, 寄生抵抗, 特性ばらつき

1. はじめに

最新版のITRS (International Technology Roadmap for Semiconductor)⁽¹⁾の予測によると、シリコンを用いた LSI (大規模集積回路)において、その構成要素である MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の寸法、特にゲート長 L_g は縮小の一途をたどり、2012 年には 15nm 以下にまで達するとされている。従来は IBM の Dennard が 1971 年に提唱したスケーリング則⁽²⁾に沿う形で MOSFET の微細化が進められてきた。しかし既にデバイスの世代が進むごとに種々の問題が見えてきており、MOSFET の短チャネル効果抑制と高い電流駆動力の両立が大変困難になってきている。したがって従来型の平面形 MOSFET の高性能化と同時に、新規構造デバイスへの研究開発の注力度がここ数年高まっている。

FinFET は従来型と異なる三次元構造の MOSFET であり、久本らが 1998 年の IEDM において最初に提案したものである⁽³⁾。それからほぼ 10 年を経て FinFET は単体トランジスタレベルの議論から LSI 応用を目指したインテグレーション技術までが議論されるまでになっており、32nm 世代以降の重要なデバイス候補として注目を集めている。以下では FinFET の構造、デバイスイン

テグレーション上の課題とそれに対する取組み、そして SRAM 等への FinFET 応用までを概観する。

2. FinFET の構造と特徴

図 1 に FinFET の構造を示す。久本氏によると FinFET の“fin”は魚の背びれの意味である。シリコン基板を削り出した細い短冊状の領域をそのように呼び、この fin の両側面部を MOSFET のチャネルとして用いる。またゲート電極は fin をまたぐような形でこの両側面にかかるように形成されていて、いわゆるダブルゲート構造⁽⁴⁾

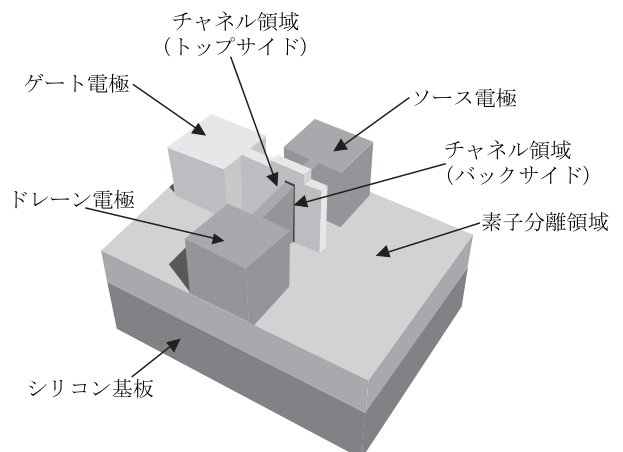


図1 FinFET の構造 fin と呼ばれるシリコン領域を切り出し、それをまたぐようにゲート電極を形成して fin 側面をチャネルとして使用する。

稲葉 聡 (株) 東芝 セミコンダクター社
E-mail: satoshi.i.inaba@toshiba.co.jp
Satoshi INABA, Nonmember (Toshiba Corporation, Semiconductor Company, Yokohama-shi, 235-8522 Japan).
電子情報通信学会誌 Vol.91 No.1 pp.25-29 2008年1月

をなしている。これらの特徴により FinFET では従来のシングルゲート構造の MOSFET に比較してゲート電極による（チャネル領域に対する）ポテンシャル制御性が良い。したがってソース・ドレイン間のパンチスルー耐性が大きく、より小さな L_g 領域まで短チャネル効果を抑制可能であるためにスケージングに適している。またチャネル中の不純物濃度を低減することが可能で、高い不純物濃度のばらつきに起因する MOSFET 電気特性のばらつきが低減すると期待されている。これらは FinFET が極薄膜の Si チャネルを持つ FD (完全空乏, Fully Depleted channel)-SOI MOSFET と同様な動作原理に基づいているためである。ここで注意したいのは特に fin の幅（上面から見た fin の短辺）の寸法である。つまり FD 形チャネルにすることを前提にすると fin 幅 W_{fin} はゲート長 L_g よりも縮小しなくてはならない。例えば $L_g = 20\text{nm}$ の素子では fin 幅に関しては L_g の $1/2 \sim 1/3$ が目安となり⁽⁴⁾、 $W_{fin} < 15\text{nm}$ が必要になる。すなわち従来の平面形 MOSFET の CD (Critical Dimension) はゲート長であったのに対し、FinFET ではゲート長も重要であるが、管理されるべき最小寸法は fin 幅になる。したがってリソグラフィーを含む極微細 fin パターン、及びゲート電極パターンの形成方法の両方に特に注意を払う必要がある。

また従来型の MOSFET ではチャネル中の不純物濃度を調整することでしきい電圧を制御するが、チャネル領域に高濃度不純物ドーピングを行うと前述の MOSFET 特性ばらつきを引き起こし、またキャリアに対する不純物散乱が増大して移動度劣化を招く。FD 形チャネルを持つ FinFET の特徴を生かすためには、適正なしきい値を得るために十分調整された仕事関数を持つ金属ゲート電極を適用した上でチャネル中の不純物濃度を低減することが前提になる。また FinFET においてはその構造上、ソース・ドレイン部の寄生抵抗や寄生容量などの低減が

必須であり、重要な鍵となっている。もちろん現時点ですべての問題が解決されているわけではないが、次章以降でこれらの課題を解決するための取組みの幾つかを紹介する。

3. 32 nm 世代以降を担う FinFET のプロセス・集積化技術

実際に FinFET を 32nm 世代以降の LSI に適用できるようにするには、寸法ばらつきの小さい加工技術の確立と、寄生効果を低減するようなデバイス構造の実現が必要である。本章ではまず最初に極微細で、かつ一様な線幅を持つ fin パターンの形成方法について議論する。仮に fin 幅を 15nm 以下の狭い領域に想定すると、これは既に光リソグラフィーで直接解像できる最小寸法よりはるかに小さいところまで達している。したがって光リソグラフィーを行ってレジストや絶縁膜材料で大きなマスクパターンを形成し、さらにそのマスクパターンに何らかのエッチングを施して所望の寸法までパターン縮小する必要が生じる。その際、最初にリソグラフィーで形成されるパターンの LER (Line Edge Roughness) や LWR (Line Width Roughness) はどうしても最終加工形状に反映されてしまい、ランダムなエッジ形状や最悪の場合では fin の断線を引き起こすことがある。そこで新たに提案されているのが Sidewall Pattern Transfer (SWT) 法である。図 2 にカリフォルニア大学バークレー校のグループが行った手法を示した⁽⁵⁾。まずダミーパターンを形成し、それに別の材料で側壁パターンを作り込む。次にダミーパターンを除去すると、側壁パターンは元のダミーパターンの外周部に残る。その際、側壁パターンの線幅はリソグラフィーでなく、たい積した膜厚に依存して決定され、線幅が均一のパターンができる。これをマスクとしてシリコン基板を加工すれば従来より

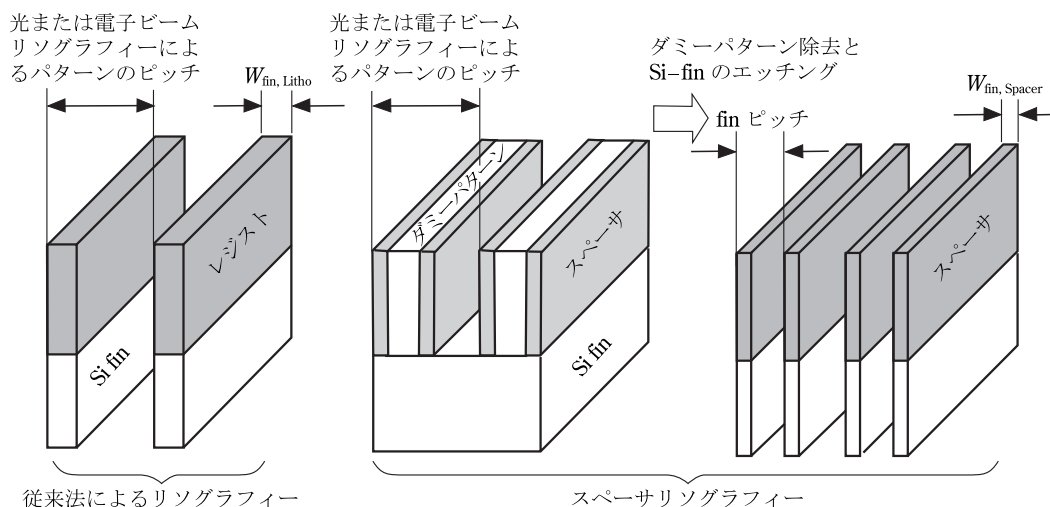
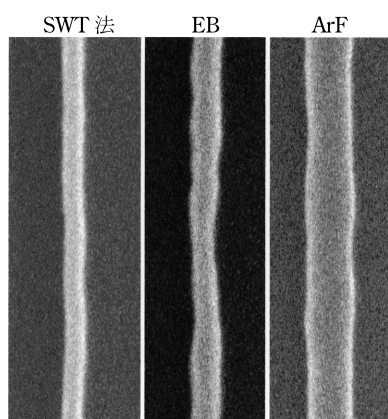


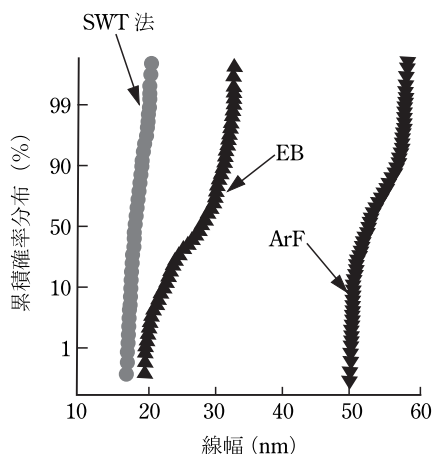
図 2 SWT (Sidewall Pattern Transfer) 法による微細パターン形成手法 ダミーパターンに形成した側壁をマスクにシリコン基板を加工する。(Reprinted from ref. (5) with permission. (© 2001 IEEE))

も線幅が細くかつ均一な fin を作ることができる。図3にこの SWT 法と電子ビーム露光による場合、そして ArF 露光とマスク材スリミングを組み合わせた場合の最終的なパターン線幅を実験的に比較した例を示した⁽⁶⁾。確かに SWT 法によれば、パターン線幅が細くできているだけでなく、その幅のばらつきも小さくなっており、この技術の優位性が示されている。またゲート電極も SWT 法で形成することが可能で、両方の組合せによる極微細ゲート長 FinFET も試作されている⁽⁶⁾。この技術の課題としては線幅の異なる fin を作りたいときには、従来の光リソグラフィによるパターン形成方法と混在させる必要があり、製造に要する工程数が多くなってしまふ点が挙げられる。

寄生抵抗の低減は FinFET のもう一つの大きな課題である。例えばゲート長 20nm を想定すると、15nm 以下の W_{fin} を持つ薄い fin 領域に電流が流れるためにシート抵抗が大きく、デバイスの低電圧動作に対する阻害要因となっている。寄生抵抗を低減する方法としては現在



(a) パターン写真



(b) 線幅の寸法分布

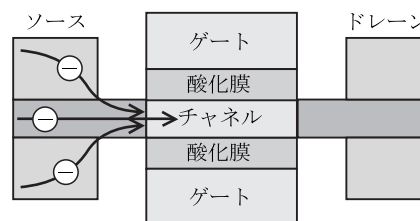
図3 Sidewall Pattern Transfer と従来方法によるパターン線幅とラフネスの比較 レジストパターンニングとスリミングを用いた方法と比較して SWT 法の優位性が示されている。(Reprinted from ref. (6) with permission. (© 2005 IEEE))

までに

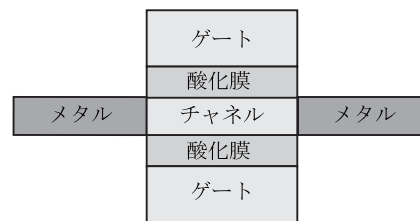
- (a) シリコンのエピタキシャル成長を利用して fin 幅自体を増大させる
- (b) ソース・ドレイン領域やソース・ドレインエクステンション領域自体を低抵抗金属で形成するなどが提案されている (図4)。その際、エピタキシャル成長による方法 (図4(a)) では fin 側面部に残留する絶縁膜の除去やファセット形成などに関して工夫が必要である。また平面形 MOSFET と同様にソース・ドレイン部に SiGe, Si:C 等を用いることでチャンネル部に応力を印加できて、キャリア移動度を改善できる可能性も示唆されている⁽⁷⁾。一方、低抵抗金属のソース・ドレイン領域を形成する方法 (図4(b)) の一例として、Dopant Segregated-Schottky (DSS: 不純物偏析ショットキー) ソース・ドレイン構造が提案されている。これは n 形の MOSFET の場合、ソース・ドレインエクステンション領域にまず As などの不純物をドーピングし、そこに NiSi を形成する工程を採用する。この場合に適当な条件下でそのシリサイド形成に伴って基板中の As がシリサイド-シリコン界面に押し出されて高濃度に偏析し、ショットキー障壁高さを低減できると解釈されている。これにより DSS は低抵抗な金属ソース・ドレインであるばかりでなく、ソース端でのキャリア注入効率も改善され高い電流駆動力が期待される。寄生抵抗の大きい FinFET においては本手法は非常に有効で、実際に大幅な電流改善度の達成が報告されている (図5)⁽⁸⁾。

4. FinFET を用いた SRAM セル技術

FinFET は平面形 MOSFET よりも短チャネル効果抑



(a) エレベータッド ソース・ドレイン



(b) ショットキー ソース・ドレイン

図4 ソース・ドレイン領域低抵抗化技術 シリコンエピタキシャル成長をソース・ドレイン領域に施す方法や、金属でソース・ドレインを形成する方法などが提案されている。

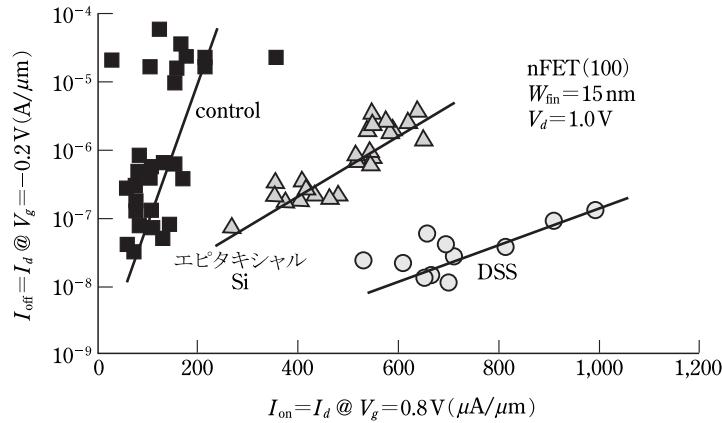


図5 ソース・ドレイン領域低抵抗化技術による電流駆動力の改善 (Reprinted from ref. (8) with permission. (© 2006 IEEE))

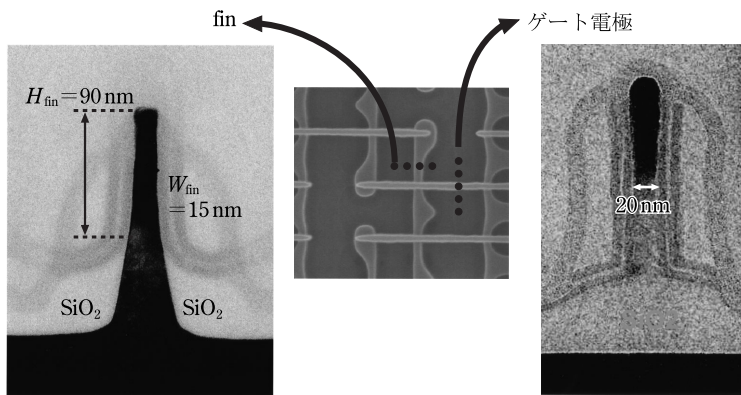


図6 FinFET SRAM セルの断面 TEM 写真 fin 幅 15nm, fin 高さ 90nm, ゲート長 20nm が実現できている. (Reprinted from ref. (9) with permission. (© 2006 IEEE))

制と、低不純物濃度チャネルの適用という点で特徴があることから、極微細メモリ素子への応用も研究されている。例えば 32nm 世代以降の 6T (six transistor) -SRAM については従来の平面形 MOSFET ではチャネル中の不純物濃度が高くなるのでセル内トランジスタ同士のしきい値 V_t のミスマッチが大きくなり、近い将来は低電圧動作しなくなることも懸念されている。一方、既に述べてきたように FinFET 構造ではこのチャネル中の高い不純物濃度のばらつきに起因する V_t ばらつきを回避できるので、特に SRAM への応用に適している。ただ、その場合においても加工技術的なばらつき抑制が必須なのは当然である。また FinFET の V_t は本質的にはゲート電極の仕事関数で決定されるため、 V_t の絶対値の細かい制御が難しいことを念頭に置かねばならない。

実際に SRAM セル部を単一の V_t を有する FinFET で構成し、その他の周辺回路を別の V_t を持つ平面形トランジスタで構成した混載テストチップが検討されている⁽⁹⁾。典型的な SRAM セル中の FinFET の TEM 写真を図 6 に示す。ここでは各 FinFET の寸法は 22nm 世代を想定して微細化していて、 $L_g=20\text{nm}$, $W_{\text{fin}}=15\text{nm}$, $H_{\text{fin}}=90\text{nm}$ となっている。この SRAM セルにおいて実測されたバタフライ曲線 ($L_g=20\text{nm}$) を図 7 に示す。

SRAM セルの安定性はこの曲線の開口面積で示され、内接する最大正方形の一辺の大きさを Static Noise Margin (SNM) と定義する。この場合、 $V_{DD}=0.6\text{V}$ においても 122mV の SNM を確保できている。これは FinFET のセルではパスゲートトランジスタとプルダウントランジスタの電流駆動力比 (β -ratio) を従来よりも大きくできたためである。特に fin の本数を変えることで $\beta=2$ のレイアウトが実現できる。従来の平面形 MOSFET による SRAM セルでは β -ratio を調整すると製造時に寸法を管理しなければならない箇所が増える。一方で、FinFET SRAM セルでは単一のゲート長と単一の W_{fin} の寸法を管理するだけでセルが構成でき、製造プロセスへの負担を低減できる可能性がある。もちろん大きい β -ratio を持つセルはデータ書込み特性劣化とトレードオフの関係にあるのでアプリケーションによって β -ratio の最適化は考慮されなければならない。

また SRAM だけでなく既に FinFET を応用した DRAM やフラッシュメモリセルなども提案されており^{(10),(11)}、今後ますます FinFET の応用範囲が広がることが期待されている。

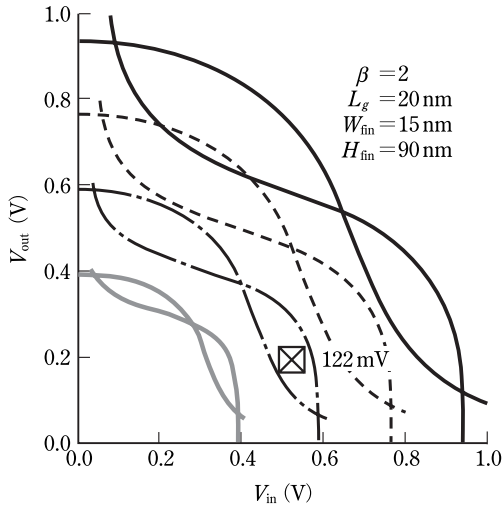


図7 FinFET SRAM セルのバタフライ曲線 0.6V 時でも SNM = 122 mV を確保できた。(Reprinted from ref. (9) with permission. (© 2006 IEEE))

5. おわりに

“More Moore” というデバイス微細化を進める観点から FinFET のプロセス集積化技術、及び SRAM への応用について最近の取組みのごく一部を紹介した。実際に 32nm 世代以降に FinFET 技術を適用するには物理的、経済的な壁はまだ高いが、今後の製造技術の発展、特に金属ゲート電極技術や High-k ゲート絶縁膜技術の展開に伴っていろいろな困難が解決され、低消費電力・高性能な LSI が実現できることを期待している。

謝辞 本稿の大部分は (株) 東芝セミコンダクター社の金子明生、八木下淳史、岡野王俊、泉田貴士、川崎博久、青木伸俊、須黒恭一、江口和弘、綱島祥隆、石丸一成、豊島義明、石内秀美各氏らとの共同研究成果による。また図面の転載を快諾して頂いた KAIST の Dr. Y. -K. Choi に感謝する。

文 献

- (1) International Technology Roadmap for Semiconductor 2006 update, <http://www.itrs.net/Links/2006Update/2006UpdateFinal.htm>
- (2) R.H. Dennard, F.H. Haensslen, H.N. Yu, V.L. Rideout, E. Bassous, and A.R. LeBlanc, “Design of ion-implanted MOSFETs with very small physical dimensions,” *IEEE J. Solid-State Circuits*, vol.9, pp. 256-268, 1974.
- (3) D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T.-J. King, J. Bokor, and C. Hu “A folded-channel MOSFET for deep-sub-tenth micron era,” *IEDM Tech. Dig.*, no.15.7, pp.1032-1034, San Francisco, USA, Dec. 1998.

- (4) H.S.P. Wong, D.J. Frank, and P.M. Solomon, “Device design considerations for double-gate, ground-plane and single-gated ultra-thin SOI MOSFET’s at the 25nm channel length generation,” *IEDM Tech. Dig.*, no.15.2, pp.407-410, San Francisco, USA, Dec. 1998.
- (5) Y.-K. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T.-J. King, J. Bokor, and C. Hu, “Sub-20nm CMOS FinFET Technologies,” *IEDM Tech. Dig.*, no.19.1, pp.421-424, Washington D.C., USA, Dec. 2001.
- (6) A. Kaneko, A. Yagishita, K. Yahashi, T. Kubota, M. Omura, K. Matsuo, I. Mizushima, K. Okano, H. Kawasaki, S. Inaba, T. Izumida, T. Kanemura, N. Aoki, K. Ishimaru, H. Ishiuchi, K. Suguro, K. Eguchi, and Y. Tsunashima, “Sidewall transfer process and selective gate sidewall spacer formation technology for sub-15nm FinFET with elevated source/drain extension,” *IEDM Tech. Dig.*, no.34.6, pp.863-866, Washington D.C., USA, Dec. 2005.
- (7) J. Kavalieros, B. Doyle, S. Datta, G. Dewey, M. Doczy, B. Jin, D. Lionberger, M. Metz, W. Rachmady, M. Radosavljevic, U. Shah, N. Zelick, and R. Chau, “Tri-gate transistor architecture with high-k gate dielectrics, metal gates and strain engineering,” *Symp. on VLSI Tech.*, no.7.1, pp.62-63, Honolulu, USA, June 2006.
- (8) A. Kaneko, A. Yagishita, K. Yahashi, T. Kubota, K. Matsuo, I. Mizushima, K. Okano, H. Kawasaki, T. Izumida, T. Kanemura, N. Aoki, A. Kinoshita, J. Koga, S. Inaba, K. Ishimaru, Y. Toyoshima, H. Ishiuchi, K. Suguro, K. Eguchi, and Y. Tsunashima, “High-performance FinFET with dopant-segregated schottly source/drain,” *IEDM Tech. Dig.*, no.34.5, pp.893-896, San Francisco, USA, Dec. 2006.
- (9) H. Kawasaki, K. Okano, A. Kaneko, A. Yagishita, T. Izumida, T. Kanemura, K. Kasai, T. Ishida, T. Sasaki, Y. Takeyama, N. Aoki, N. Ohtsuka, K. Suguro, K. Eguchi, Y. Tsunashima, S. Inaba, K. Ishimaru, and H. Ishiuchi, “Embedded bulk FinFET SRAM cell technology with planar FET peripheral circuit for hp32 nm node and beyond,” *Symp. on VLSI Technology*, no.9.2, pp.86-87, Honolulu, USA, June 2006.
- (10) M. Yoshida, J. Kahng, C. Lee, S.-M. Jang, H. Sung, K. Kim, H.-J. Kim, K.-H. Jung, W. Yang, D. Park, and B.-I. Ryu, “A full FinFET DRAM core integration technology using a simple selective fin formation technique,” *Symp. on VLSI Tech.*, no.5.2, pp.34-35, Honolulu, USA, June 2006.
- (11) J.-R. Hwang, T.-L. Lee, H.-C. Ma, T.-C. Lee, T.-H. Chung, C.-Y. Chang, S.-D. Liu, B.-C. Perng, J.-W. Hsu, M.-Y. Lee, C.-Y. Ting, C.-C. Huang, J.-H. Wang, J.-H. Shieh, and F.-L. Yang, “20nm gate bulk-FinFET SONOS flash,” *IEDM Tech. Dig.*, no.7.1, pp.154-157, Washington D.C., USA, Dec. 2005.

(平成 19 年 7 月 31 日受付)



いなば かとし
稲葉 聡

平2 早大大学院理工学研究科修士課程了。同年 (株) 東芝入社。現在、同セミコンダクター社半導体研究開発センターに所属。博士(工学)、MOSFET 微細化技術の研究開発に従事。SSDM, IEDM 論文委員等を歴任。日本物理学会、応用物理学会、IEEE 各会員。