

128 スピン全結合型イジングモデル回路の FPGA 実装

遠藤 あかり[†] 河原 尊之[†]

[†] 東京理科大学工学部電気工学科

1. はじめに

イジングモデルとシミュレーテッド・アニーリング (SA) を用いて組合せ最適化問題の近似解を効率的に求めることができる半導体アニーリングマシンの研究が広く行われている。本稿では、全てのスピン間の相互作用を考慮した全結合型イジングモデル回路の FPGA への実装を行い、巡回セールスマン問題を解くことでその動作の確認を行った。

2. イジングモデル

イジングモデルとは、一様に並んだ格子点上に 2 つの状態いずれかをとるスピンを配置したモデルで、そのエネルギー E は以下の式より定められる。[1]

$$E = - \sum J_{i,j} \sigma_i \sigma_j - \sum h_i \sigma_i \quad (1)$$

ここで、 $J_{i,j}$: 相互作用, σ_i : スピン, h_i : 外場である。このモデルに合うように問題を変形し、エネルギーが小さくなるようにスピンを更新することで、組合せ最適化問題の近似解を求めることができる。スピンの更新は、SA を簡素化した以下の式で行った。[1]

$$\sigma_i = -\text{sgn}(\Delta E \pm T) = -\text{sgn}\left(-\sum J_{i,j} \sigma_j - h_i \pm T\right) \quad (2)$$

なお、上式における温度 T の符号は 2 値乱数によって決定される。

3. FPGA に実装した回路構造

図 1 は、本稿で FPGA に実装したイジングモデル回路の基本的な構成である。スピンや相互作用・外場を格納するレジスタ、更新の計算を行う積和加算器、全体の制御を行う制御装置、疑似乱数発生器、温度計算機の 5 つから構成される。

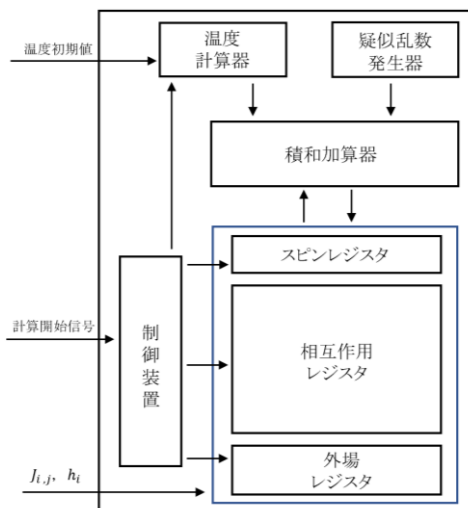


図 1. FPGA に実装したイジングモデル回路の構成

温度計算や疑似乱数発生も FPGA 内部で行う構成となっているため、相互作用や外場、温度初期値、計算開始信号を FPGA へ与えることで、SA が FPGA 内部で完結されるフル機能のアニーリングマシンとなっている。

これまで研究室では、回路遅延等の影響で 64 スピン規模の実装までしかできていなかった。しかし、本稿では時間のかかる積和加算器の構造を、桁上げ先見加算器のツリー接続[2]を用いてより高速なものにすることで、動作周波数を下げることなく 128 スピン規模のイジングモデル回路を FPGA に実装することができた。

4. FPGA への実装

本稿では、上述したイジングモデル回路を Xilinx 社の Zynq UltraScale+ ZCU102 Evaluation Board に実装した。LUT, FF の使用率はそれぞれ 20.9%, 25.9% となった。

また、実装でのベンチマークとして 11 都市の巡回セールスマン問題を解いた。その結果、図 2 に示すように動作を確認することができた。

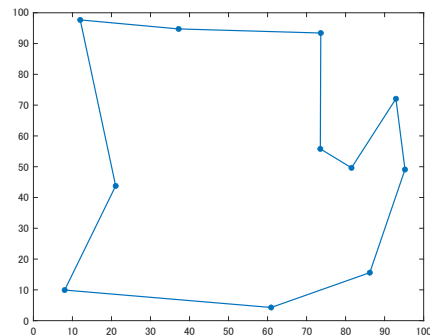


図 2. 11 都市の巡回セールスマン問題の結果

5. むすび

128 スピン全結合型イジングモデル回路の FPGA への実装を行い、巡回セールスマン問題を解くことでその動作を確認した。

今後は、イジングモデル回路のさらなる規模の拡張、FPGA に実装する回路の改良を目指す。

参考文献

- [1] Satoshi Kitamura, Ryoma Imura, and Takayuki Kawahara, "AI Chips on Things for Sustainable Society: A 28-nm CMOS, Fully Spin-to-spin Connected 512-Spin, Multi-Spin-Thread, Folded Halved-Interaction Circuits Method, Annealing Processing Chip", IEEE 18th World Symposium on Applied Machine Intelligence and Informatics (SAMI 2020), Jan, 2020.
- [2] 五島 正裕, "デジタル回路", 数理工学社, 2007.