

高性能イジングマシンに向けたデータ記憶回路の 素子数削減とレイアウト面積縮小の検討

渡邊 大貴[†] 河原 尊之[†]
[†] 東京理科大学大学院工学研究科

1. はじめに

現在、インターネットとつながる機器の増大により、サーバ側の処理が膨れ上がっている。その対策案としてエッジコンピューティングを研究テーマとし、端末側に回路を組み込むことを想定して、LSIの低消費電力化、高速処理化、小面積実装を目標とする[1]。当稿では、イジングマシンのデータ記憶回路のトランジスタ数の削減とレイアウト面積縮小を検討する。

2. 回路設計

回路の動作は入力された信号を一旦回路が保持し、クロック信号の立下りのタイミングで入力されたデータを出力するものである。従来の回路では CMOS 構造となっており、pMOS 数 14 個、nMOS 14 個のトランジスタ数計 28 個の構成であった。この回路構成のままでは、面積は縮小出来ないため、図 1 に示す新たな回路構造の回路を提案する。従来の CMOS 構造ではなく、トランスミッションゲートとインバータから構成される回路構成に変更し、トランジスタ数を更に減らした。その結果、pMOS 数 2 個、nMOS 数 8 個のトランジスタ数計 10 個の構成となった。

3. シミュレーション結果

まず上述した回路の 1 段単体での動作を確認した後、16 段、64 段、128 段の検証用の回路を作製し、出力信号の波形を SPICE シミュレーションで確認した。また、生産検証試験(PVT)の条件はプロセスを TT、動作温度 27 度、印加電圧 5V と設定した。回路に用いるトランジスタのサイズとインバータ部の抵抗値を変更していき、シミュレーションで示された波形がデジタル信号として許容できるかを確認した。各素子の数値を変更していき、目的の動作を行うことの出来た組み合わせの中で、最もレイアウト面積の小さくなる組み合わせを選び採用した。

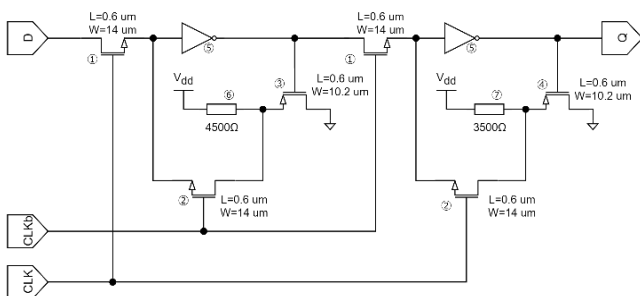


図1. トランジスタ 10 個で構成された提案回路

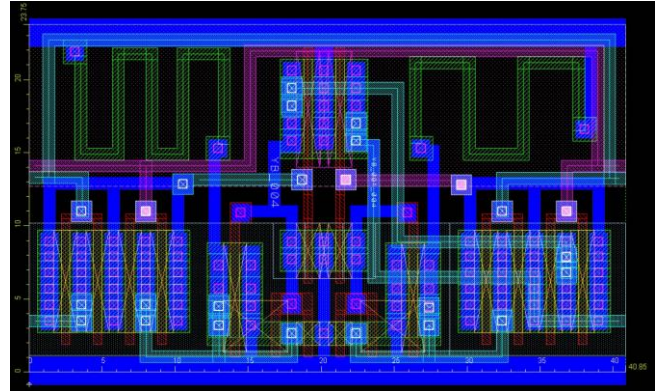


図 2. 提案回路のレイアウト

4. 提案回路のレイアウト設計

従来のセルのサイズは、縦 28.5 μm 、横 39.9 μm であった。図 2 に示す提案回路のレイアウトのサイズは、縦 23.75 μm 、横 40.85 μm となった。横に同じセルを置いた時に新しく配線せず済むよう CLK と反転 CLK 用の配線を単一セルで完結させた。今回提案する回路のレイアウト面積は、従来のセルの面積の約 85.32% での実装となった。

5. 現在の課題

回路設計において、全て nMOS による回路構造とならず、pMOS が 2 つ残ってしまった。また、シミュレーションでは抵抗値の許容範囲は 2% 未満となり、製造誤差による動作不良を起こす可能性が高い。レイアウトでは、回路の抵抗部分が約 25.9% の面積を占めており、従来のレイアウトから面積を大きく減らすことの出来ない要因となった。

6. 今後の検討

PVT の条件および、クロック信号と入力信号の周波数等を変更し、今回の回路にて更にシミュレーションを行う予定である。また、レイアウト面積がさらに小さくなるよう、レイアウトの構造を変更する。今回作製した回路を改善し、大規模回路に搭載するための回路検証を行ったうえで、イジングマシンに実装することを試みる。

参考文献

- [1] S Kitamura, R Iimura, and T Kawahara, "AI Chips on Things for Sustainable Society: A 28-nm CMOS, Fully Spin-to-spin Connected 512-Spin, Multi-Spin-Thread, Folded Halved-Interaction Circuits Method, Annealing Processing Chip," IEEE 18th World Symposium on Applied Machine Intelligence and Informatics (2020)