

ニューロン MOS 型 SHL 回路の FG への電荷の影響に対する無効化回路の導入

八木 隼翔[†] 大塚 陸[†] 山本 遼[†] 福原 雅朗[†]
[†] 東海大学

1. はじめに

SHL 回路 (Soft-Hardware-Logic circuit) とは、2 つの入力信号に対して 16 通りの論理機能を、制御信号によって変更できる回路である。文献[1]の SHL 回路に使われているニューロン CMOS インバータ(vCMOS)にはフローティングゲート(FG)が存在し、その FG に蓄積される電荷の影響を受けて誤動作を起こす可能性が指摘されていた。この問題に対し、文献[1]では、紫外線照射による外的処置により解決を図っていた。一方我々は、FG と vCMOS の出力間を MOS スイッチで接続するという内的処置により、電荷の影響を無効化させる回路(FG キャリブレーション付き SHL 回路)を提案する。本論文では、HSPICE シミュレーションにより、提案回路が従来回路と同様の論理機能を満たすことを示す。

2. FG キャリブレーション付き SHL 回路

図 1 に提案した回路を示す。提案回路は D/A コンバータ、3 つのプレ vCMOS(vCMOSP), メイン vCMOS(vCMOSM)で構成されている。FG_A~FG_C 及び FG_M は各 vCMOS のフローティングゲート、C_{P1} 及び C_{P2} は vCMOSP のゲート容量であり、C_{P1}:C_{P2}=1:1 になるように設計されている。C_{M1} ~ C_{M4} は vCMOSM のゲート容量であり、C_{M1}:C_{M2}:C_{M3}:C_{M4}=4:2:1:1 になるように設計されている。X₁, X₂ は入力信号(“0”または“1”), V_A, V_B, V_C は制御信号である。なお、2 進数の“0”を 0[V], “1”を V_{DD}[V]に対応付けるものとする。そして、V_{out} は出力電圧である。また、SW₁ ~ SW₃ は FG キャリブレーション(FGC)動作を行うためのスイッチであり、各 vCMOS の反転しきい電圧 V_{INV} は V_{DD}/2 となるように設計されている。

続いて FGC 動作について説明する。FGC 動作には 3 つの Phase が存在する。Phase1 では、V_A~V_Cに V_{DD}を印加するとともに、SW₁を“ON”, SW₂を“OFF”, SW₃を“ON”にすることで、各 vCMOS の出力端子と各 FG を短絡させ、各 FG の電荷と無関係に各 FG の電圧を V_{DD}/2 にする。Phase2 では、vCMOSP の SW₃を“OFF”にし、V_A~V_Cの電圧を 0 にする。これにより、vCMOSP の出力端子と FG_A~FG_C が切り離され、FG_A~FG_C の電圧は 0 になる。Phase3 では、SW₁を“OFF”にすることで、vCMOSM の出力端子と FG_M が切り離される。その後、SW₂を“ON”にし、論理動作を開始する。そして、V_A~V_Cに適当な電圧(0, V_{DD}/4, V_{DD}/2, 3V_{DD}/4, V_{DD})を供給することで 16 通りの論理機能を実現できる。

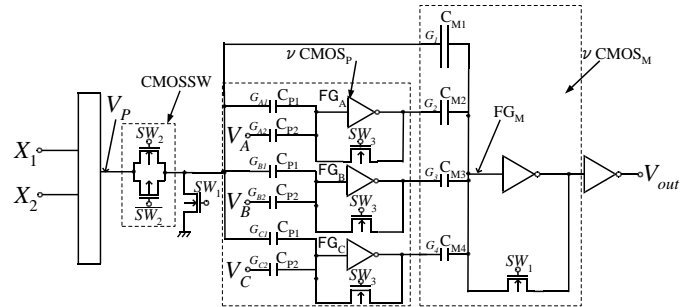


図1. 提案する FG キャリブレーション付き SHL 回路

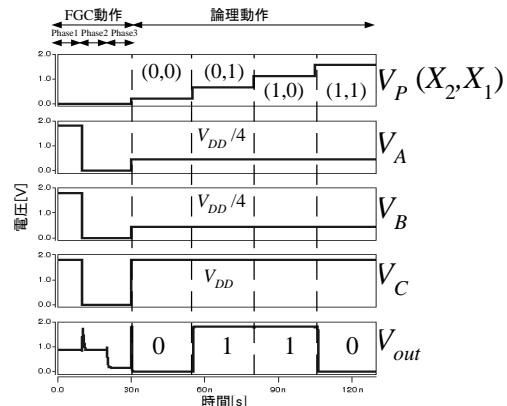


図2. シミュレーション結果例:(XOR)

3. シミュレーション結果

提案回路の HSPICE シミュレーション結果を図 2 に示す。Phase1 から Phase3 までの FGC 動作を 0.0 から 30ns の間に行っている。その後が論理動作である。今回は V_A=V_{DD}/4, V_B=V_{DD}/4, V_C=V_{DD} にすることによって V_{out} の電圧が XOR に対応している。この他にも制御信号の電圧を変えることで 16 通りの論理機能を実現することができた。

謝辞

本研究は東京大学大規模集積システム設計教育センターを通し、シノプシス株式会社、日本ケイデンス株式会社及びローム株式会社の協力で行われたものである。

参考文献

- [1] T. Shibata, et al. "Neuron MOS Binary-Logic Integrated Circuits-PartI," IEEE Trans. Electron Devices, Vol. 40, No. 3, pp. 570-576, March 1993
- [2] K. Kotani, et al. "Clock-Controlled Neuron-MOS Logic Gates," IEEE Trans. on Circuits and Systems-II, Vol. 45, No. 4, pp. 518-522, April 1998