

複数の参照データを順次読み出し可能なハミング距離型 CAM

佐保 十世紀[†] 福原 雅朗[†] 藤本 邦昭[†]
[†] 東海大学

1. はじめに

ハミング距離型 CAM(Content Addressable Memory: 内容照合メモリ)は、入力データ(Input data)と参照データ(Reference data)を並列に照合し、Input data に対してハミング距離 (D_{Hammm}) が一定の関係にある参照データ (Searched data) に高速にフラグを立てる回路である(図 1). これまでハミング距離型 CAM(H-CAM)は、与えられた D_{Hammm} 以内の全ての Searched data にフラグを立てる範囲内 H-CAM[1]や、ニューロン CMOS インバータを使用し、フラグが立った D_{Hammm} が最小の Searched data を読み出す最小距離 H-CAM[2]などが提案されている。文献[2]の問題点として、複数の Searched data にフラグが立った場合でも、優先された唯一の Searched data のみを読み出す回路であった。本稿では、文献[2]に対し 2 種類の論理ゲートを付加することで、複数の Searched data を順次読み出し可能な新しい最小距離 H-CAM を提案する。また、HSPICE シミュレーションにより提案最小距離 H-CAM の所期の動作を確認する。

2. 回路構成と動作

提案最小距離 H-CAM の読み出し動作を図 2 に示す。 $N_i (i = 0 \sim 7)$ は Input data, $RF_{j,i} (j = 0 \sim 15, i = 0 \sim 7)$ は Reference data, $O_i (i = 0 \sim 7)$ は Searched data である。始めに N_i と $RF_{j,i}$ を並列に照合し、 N_i に対して D_{Hammm} が最小の $RF_{j,i}$ にフラグを立てる。提案最小距離 H-CAM は、優先選択を行うプライオリティエンコーダ (PE) の入力側に AND 回路、出力側に OR 回路を追加しているため、フラグが複数立った場合でもフラグが立った D_{Hammm} が最小の $RF_{j,i}$ を O_i に優先度が高いものから順次読み出すことができる。AND 回路は二つの異なるラッチの出力、OR 回路はラッチとプライオリティエンコーダの出力によって制御される。また、 O_i はラッチによってワード線にハイレベルが印加されることでの順次読み出しが行われる。合計のクロック信号は計 4 つである。

3. シミュレーション結果

提案最小距離 H-CAM を Rohm 0.18 μ m プロセスで設計した。HSPICE シミュレーションにより、図 2 と同様の結果が得られた。図 2 から、 $N_i (i = 0 \sim 7)$ に最も類似している D_{Hammm} が 1 である 3 つの $RF_{j,i} (j = 0, 1, 14, i = 0 \sim 7)$ が順次 O_i に読み出されていることが確認できた。

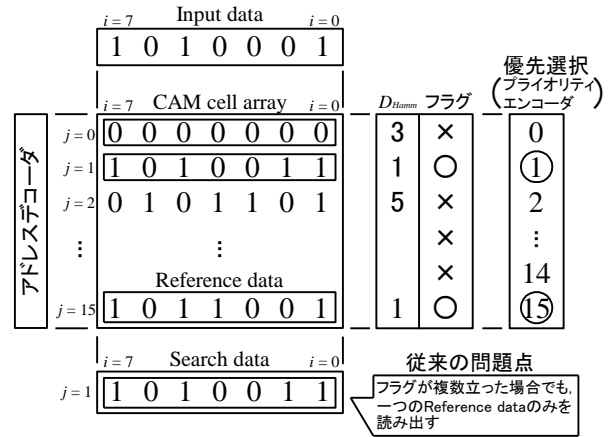


図 1. 従来の H-CAM のブロック図

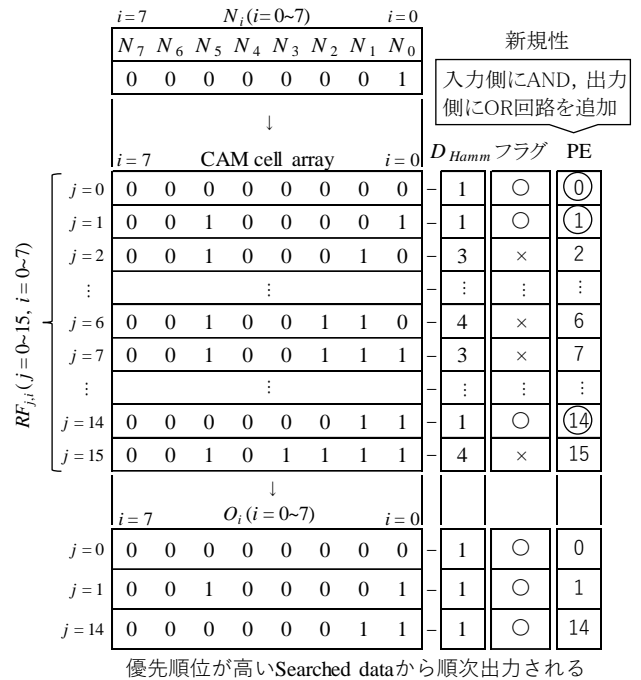


図 2. 提案 H-CAM の読み出し動作

4. 謝辞

本研究は東京大学大規模集積システム設計教育センターを通じシノプシス株式会社、日本ケイデンス株式会社及びローム株式会社の協力のもと行われた。

参考文献

[1] 大池 他, 同期式高速ハミング距離検索連想メモリ, 信学技報, ICD2002-4
 [2] T. Saho, et.al, "Multiple Output of Similarity Data by Recalling Type Associative Memory using Neuron CMOS Inverter", ICICIC2019, August 26-29, 2019