

逐次減算に基づく直列乗算器を用いた FIR フィルタの設計と実装

永田 将大[†] 近藤 真史^{††} 伊丹 聖貴[†] 池田 大地^{†††} 茅野 功^{††} 横川 智教[†] 佐藤 洋一郎[†]
[†]岡山県立大学 情報工学部 ^{††}川崎医療福祉大学 医療技術学部 ^{†††}山陽電研株式会社

1. はじめに

現在、デジタル信号処理回路(DSP)を内蔵したデジタル補聴器が普及しているが、その電池寿命は数日程度に留まっている。この問題に対して筆者らは、小面積かつ低消費電力な直列積和演算器を提案するとともに、FIR フィルタの実装を通じてその動作を確認している^[1]。さらに人の聴覚精度を勘案し、下位ビットの演算を省略可能な直列乗算器^[2]の検討を進めているが、これを用いたフィルタ実装には至っていない。そこで本研究では、逐次減算に基づく直列乗算器を用いたフィルタを設計・実装し、下位ビットの省略に係る影響を確認する。

2. 逐次減算に基づく直列乗算器

単一の全加算器を用いて逐次的に演算を行う直列乗算器では、下位ビットの演算にかかる加算回数を省略することで消費電力の低減効果を期待できる。これを実現するため文献^[2]では、上位ビットから積を確定可能な乗算法を提案している。この手法では、乗算における部分積の網羅的な足し合わせが、演算ビット数 n により静的に定まる最大積“11...1”×“11...1”からビット反転した部分積を減算することと等価であることを利用している。そして、この乗算手法を1ビットの減算回路による逐次減算として直列乗算器を構成している。以降、これに基づいた直列乗算器を減法乗算器という。

3. 直列乗算器を用いたフィルタ回路の設計

本研究が提案するフィルタの構成を図1に示し、これら周辺回路とフィルタ演算回路の観点から、既存のフィルタの問題点とそれを解決するための具体的な設計法を述べる。

周辺回路：既存のフィルタでは、並列演算器のデータ入出力を前提として、AD/DA 変換器(ADC/DAC)からの直列データを並列データに変換し、それをサンプリングメモリに格納する形態となっている。そして、サンプリングメモリ内の並列データを直列積和演算器では直列データとして演算を行うなど、非常に冗長な構成となっている。この問題点に本研究では、直列-並列変換に係るレジスタとその制御回路を削除し、ADC の直列データを減法乗算器の乗数を保持するシフトレジスタに直接入力する。また、フィルタ係数を格納するフィルタメモリについても同様に、被乗数を保持するシフトレジスタを代替とすることで、回路資源量およびデータフローの観点から無駄のない周辺回路を実現する。

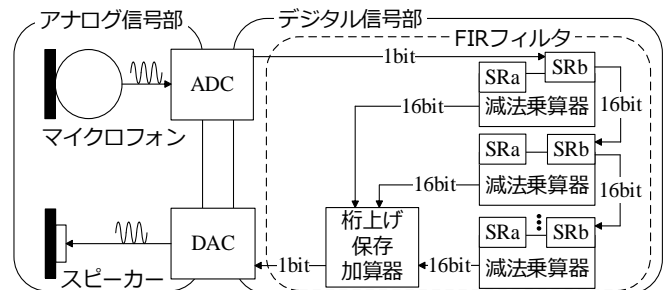


図1. フィルタ回路の構成

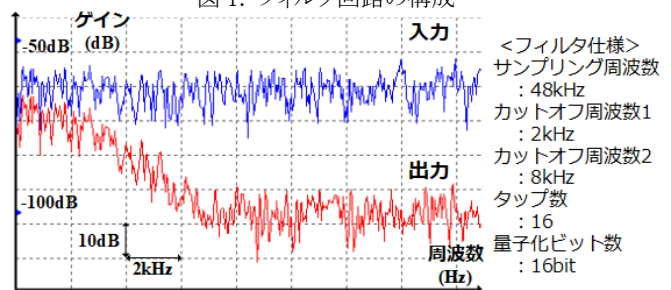


図2. FFTによる解析結果

フィルタ演算回路：既存のフィルタは直列積和演算器を用いているが、本研究ではFIRフィルタにおける積和演算を積と和に分けて考える。つまり、積演算では減法乗算器をカスケード接続することで実現し(実際は、サンプリングデータを保持しているシフトレジスタを接続)、それらの乗算結果を桁上げ保存加算器で足し合わせて和演算を実現する。そして、その結果を1ビットずつDACへ入力することでフィルタリング処理を実現する。

4. 実装と評価

提案のフィルタをXilinx ISE14.7で設計し、FPGA信号処理ボードDFXLSP250へ実装した。各減法乗算器は下位 $n/2$ ビットを省略して演算を行う。このフィルタにノイズ音源を入力し、オシロスコープで出力を観測・周波数解析(FFT)をした結果を図2に示す。同図から、下位ビットを省略して演算を行った場合でも、フィルタ仕様に従ってノイズが適切に減衰されていることが分かる。

5. まとめ

本稿では、減法乗算器を用いたFIRフィルタを設計し、FPGA実装を通じて下位ビットを省略しても適切なフィルタリングが行われていることを確認した。

参考文献

- [1] 岡本大地, 他, “ビットシリアル型積和演算器を用いたFIRフィルタの実装,” 信学総大2016, ISS-SP-150 (Mar. 2016)
- [2] 永田将大, 他, “最大積からの逐次減法に基づく直列乗算器とその負数演算手法,” 信学技報CAS (Feb. 2020)