

# ニューロン CMOS インバータ型ハミング距離検出器における カレントミラー回路の検討

恩地 夏央<sup>†</sup> 藏野 貴教<sup>†</sup> 山田 海貴<sup>††</sup> 大塚 陸<sup>††</sup> 福原 雅朗<sup>††</sup>

<sup>†</sup> 東海大学大学院情報通信学研究科

<sup>††</sup> 東海大学情報通信学部組込みソフトウェア工学科

## 1. はじめに

ニューロン CMOS インバータを活用したハミング距離検出器(以下、vCMOS 型ハミング距離検出器)は、二つのデータ間のハミング距離が参照距離以内であるかを判定する。著者らは時間領域で動作する vCMOS 型ハミング距離検出器に対し、vCMOS 内のフローティングゲート(以下、FG)の初期電荷の影響を解決する FG キャリブレーション回路や、貫通電流( $I_{tc}$ )を抑制するクロックド vCMOS インバータ(CNCI)を導入するなどの研究を行なってきた[1][2]。しかし、FG の電圧を上昇させるためのカレントミラー回路については詳しい検討がされていない。本論ではカレントミラー回路についてカレントミラー電流( $I_{CMA}$ )とハミング距離検出に要する時間の観点で HSPICE シミュレーションによる検証を行う。

## 2. ハミング距離検出器

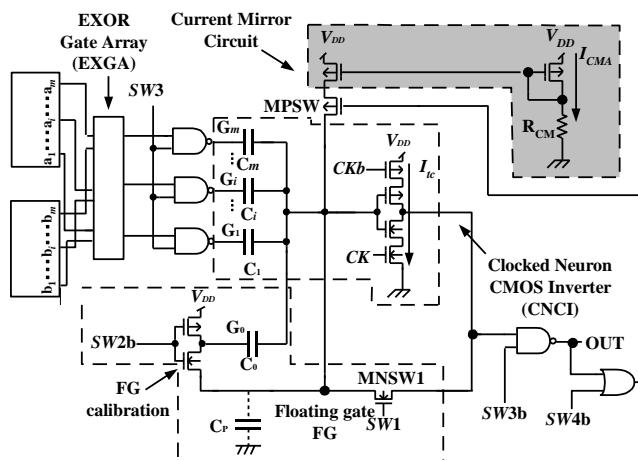


図 1. 時間領域で動作する vCMOS 型ハミング距離検出器

図 1 は、時間領域の vCMOS 型ハミング距離検出器である。この検出器は、ビット長  $m$  である 2 つの入力データ DATA-A ( $a_1, a_2, \dots, a_m$ ) と DATA-B ( $b_1, b_2, \dots, b_m$ ) のハミング距離  $D_H$  に対応する時間遅延を有する信号として電圧を出力する回路である。検出器は、EXOR ゲートアレイ (EXGA)、カレントミラー回路、FG キャリブレーション回路および CNCI で構成されている。参考文献[2]ではカレントミラーの抵抗  $R_{CM} = 1[\text{k}\Omega]$  としていたが、本論では、いくつかのパターンでシミュレーションを行っているのである。

## 3. シミュレーション

今回の検索時間は MPSW が ON から OFFまでの時間(td)とする。今回はハミング距離  $D_H=1$  としている。文献[2]と同様の条件で、Hibikino 2μm CMOS プロセス設計ルールによって HSPICE シミュレーションを行った。図 2 はハミング距離検出器の抵抗  $R_{CM}$  に対するカレントミラー電流( $I_{CMA}$ )と検索時間(td)のシミュレーション結果である。その結果より抵抗が増大することで、ハミング距離検出器の下がり、ハミング距離検出の動作がより遅くなる。それにより文献[1][2]の検出器の消費電力を上げることも検討できる。今後はカスコードカレントミラーなどの他の定電流源を検討し、コピー精度などの検証を行っていき、検出器の応用やどの分野に最適なのかを検証する。

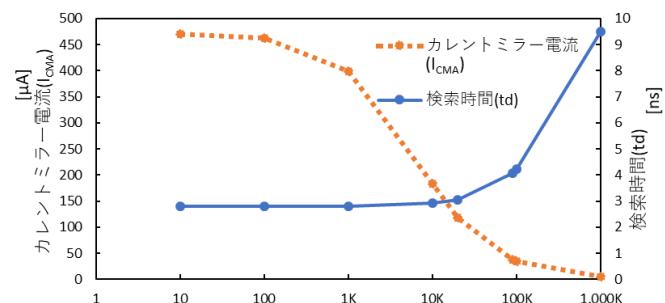


図 2. 抵抗  $R_{CM}$  に対するカレントミラー電流( $I_{CMA}$ )と検索時間( $td$ )のシミュレーション結果

## 4. 謝辞

本研究は北九州学術研究都市の共同研究開発センター及び東京大学大規模集積システム設計教育研究センターを通じケイデンス株式会社及び、シノプシス株式会社の協力で行われたものである。

## 参考文献

- [1]Masaaki Fukuhara,et.al, "Short-Circuit-Current Reduction by using a Clocked Neuron CMOS Inverter in a Time-Domain Data Coincidence Detector," ICIC Express Letters, Part B, Applications: An International Journal of Research and Surveys, Vol. 9, No. 6, pp. 477-484, June 2018
- [2]Nao Onji,et.al, "A Study of Through Current of Hamming Distance Detector Using Clocked Neuron CMOS Inverter," EIIS2018, SS2-5, pp1621-pp1622 , September 2018.