

# 3次元 NAND 型フラッシュメモリの高信頼化に向けた LDPC 符号

小島 大輝 中村 俊貴 竹内 健  
中央大学理工学研究科電気電子情報通信工学科

## 1. はじめに

大容量化及び低価格化に向けて、近年 SSD に使われるチップ (NAND 型フラッシュメモリ) が 2 次元構造から 3 次元構造へと変遷している (図 1) [1]。さらには多値化技術により、TLC NAND 型フラッシュメモリでは 1 つのセルに 3 ビットの値を保存することで大容量化を実現している (図 2)。しかし 2 次元 NAND 型フラッシュメモリとは異なり、層ごとのばらつき、上下の層による影響など、3 次元構造特有のエラーが数多く発生する。これらの影響が複雑に絡み合っエラーが発生するので誤りを訂正することが難しくなっている。本研究では、3 次元構造を考慮した低密度パリティ検査符号 (LDPC 符号) を誤り訂正に用いることで 3 次元 NAND 型フラッシュメモリの高信頼化を図る。

## 2. 低密度パリティ検査符号 (LDPC 符号)

LDPC 符号とは誤り訂正符号の一種で、シャノン限界に近い訂正能力をもつ。LDPC 符号の概要を図 3 に示す。LDPC 符号は復号を繰り返すことで訂正能力を高めることができる。復号を行うためには対数尤度比 (LLR) が必要であり、NAND 型フラッシュメモリに利用するには LLR の算出にビット誤り率 (BER) を利用することができる。LLR と BER の関係を図 4 に示す。LLR(0) 及び LLR(1) はそれぞれ読み出したビットが 0、1 の LLR を表し、正の値が大きいほど 0、負の値が大きいほど 1 である可能性が高いことを示す。ただし、LLR の精度が悪いと訂正能力の低下が問題となるので、正しく訂正するには正確な BER の値が必要である。

## 3. LDPC 符号を利用した高信頼化手法

LLR に入力する BER を求める際に、従来では 2 次元構造を考慮した BER 算出方法を利用していた [2] が、さらに 3 次元構造特有の影響を考慮することで BER を正確に求めることができると考えられる [3]。3 次元構造を考慮した BER を算出して LLR を計算し、LDPC 符号の復号に利用することで誤り訂正能力を向上し、3 次元 NAND 型フラッシュメモリの高信頼化を目指す。

## 謝辞

本研究の一部は、JST、CREST の支援 (グラント番号 JPMJCR1532) を受けたものである。

## 参考文献

- [1] R.Yamashita et al., *ISSCC*, Feb. 2017, pp. 196-197
- [2] T.Tokutomi et al., *IMW*, May 2014, pp. 99-102
- [3] T.Nakamura et al., *CICC*, Apr. 2018

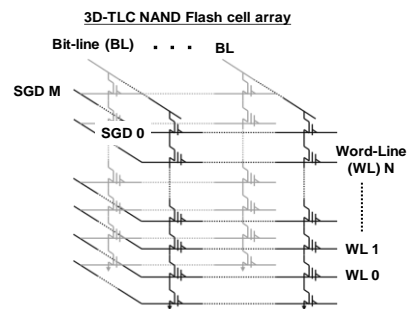


図 1. 3次元 NAND 型フラッシュメモリの構成

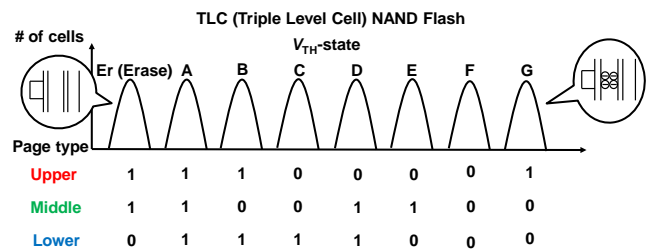


図 2. TLC NAND 型フラッシュメモリの閾値電圧分布

## Low-Density Parity-Check (LDPC) ECC

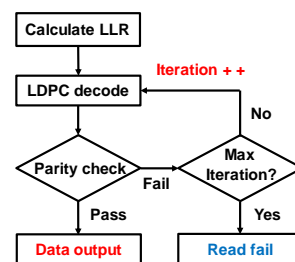


図 3. 低密度パリティ検査符号 (LDPC 符号) の復号の概要

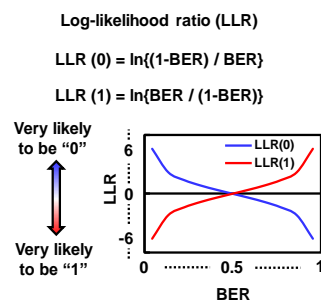


図 4. LLR と BER の関係