

3D-TLC NAND 型フラッシュメモリにおけるページ間ばらつきを考慮した LDPC 符号とエラー検出技術を用いた高信頼化手法

鈴木 峻 出口 慶明 中村 俊貴 溝口 恭史 竹内 健
中央大学理工学部電気電子情報通信工学科

1. はじめに

近年、NAND 型フラッシュメモリは微細化により大容量化を実現しているが、読み出しマージンの減少により信頼性は低下している。その信頼性を向上させる手法として、誤り訂正符号(ECC)や非対称符号化(AC)[1]が用いられている。ECC の 1 種である LDPC 符号は、読み出したデータのビットエラー率(BER)を正確に求めることで、エラー訂正能力が向上する[2]。本研究では、AC のアルゴリズムにエラー検出機能を加えることで、LDPC 符号のエラー訂正能力を向上させる Horizontal Error Detection(HED)と、HED で検出したエラー数をページ間で均一化し、最も信頼性の悪いページの信頼性を向上する Vertical-LDPC (V-LDPC) の 2 つを提案する[3]。

2. Horizontal Error Detection(HED)

図1に従来手法である AC のアルゴリズムを示す。本研究では 1 つのメモリセルに 3 ビット保存できる TLC NAND 型フラッシュメモリを扱った。データを書き込む順に Lower/Middle/Upper ページとし、8 つのしきい値電圧を小さい順に Erase(Er), A, B, ..., G ステートと定義する。AC では、符号長単位でデータを反転し、反転の有無を冗長ビット(フラグ)により区別する。これにより、各ページの“0”と“1”の割合を変化させてしきい値電圧分布を偏らせる。本研究では、3D-TLC NAND 型フラッシュメモリのエラー率を最も下げることができる AC7(F ステートを増やす変調)を用いる。提案の HED では、例えば、AC により“1”の数が符号長の半数以上書かれたにも関わらず、データを読み出した際“0”の数がより多く書かれていた時、“0”の中にエラーが発生したと判定する(図 2)。HED によりエラーが検出されたビットに対して、予め求められた BER をより正確な値に更新することで、LDPC 符号の訂正能力を向上できる(図 3)。

3. Vertical-LDPC(V-LDPC)

図 4 に各ページのエラー検出率を示す。HED により検出されたエラー数は各ページによりばらついてしまうため、信頼性の向上は最もエラー検出率の悪いページに依存してしまう。そこで 2 つ目の手法として V-LDPC を提案する。V-LDPC 符号では、従来はページ毎に定義されていた符号語を、図 5 に示すように変化させることにより、各ページのエラー検出率のばらつきに依存せずデコードを行える。

4. 測定結果

図 6 に、データ保持時間と許容できるエラー率を示す。HED と V-LDPC を組み合わせて用いる事で、データ保持時間を 230%、許容できるエラー率を 90%増加させることが出来た。

5. まとめ

本研究では、HED と V-LDPC の 2 つを提案した。これらを組み合わせることで、データ保持時間を 230%、許容できるエラー率を 90%増加させることに成功した。

謝辞

本研究の一部は、JST、CREST の支援(Grant 番号 JPM1CR1532)を受けたものである。

参考文献

[1] S. Tanakamaru et al., *ISSCC*, p. 204, 2011.
[2] S. Tanakamaru et al., *JSSC*, vol. 48, no. 11, p. 2920, 2013.
[3] S. Suzuki et al., *IRPS*, 2018.

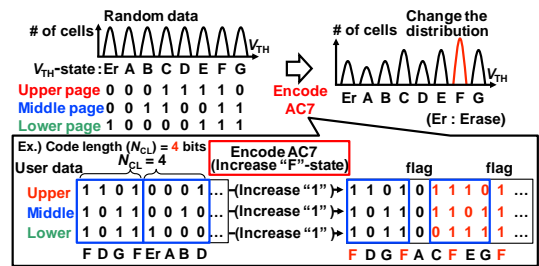


図 1. 非対称符号化(AC) [1]

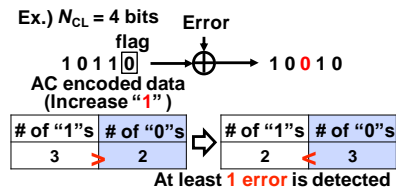


図 2. HED のエラー検出

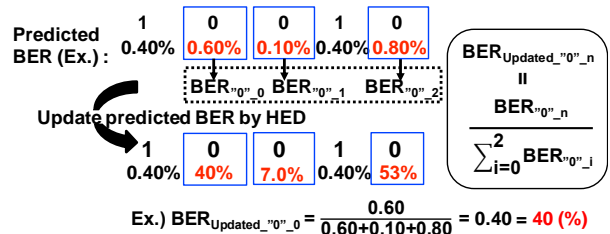


図 3 HED による BER 更新の例

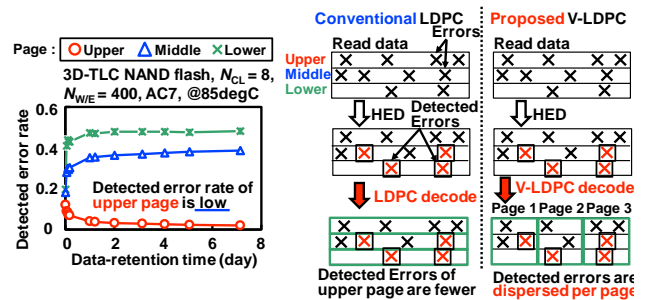


図 4. エラー検出率

図 5. V-LDPC の符号化

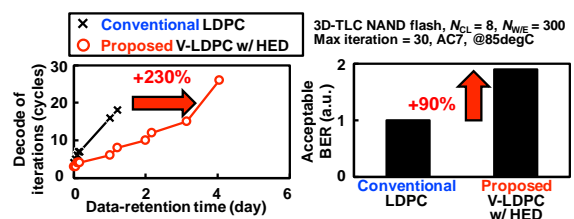


図 6. 測定結果