

光再構成型ゲートアレイの光バスにおける ビットエラーレートの測定

杉山 和礼[†] 渡邊 実[†]

[†]静岡大学 大学院 総合科学技術研究科

1. まえがき

集積回路の性能向上は、主に半導体プロセス技術の進歩による回路の微細化によって達成されてきた。しかし、近年では微細化が限界を迎えつつあり[1]、またリーク電流の増大といった様々な問題が顕在化してきている事から、微細化による性能向上は難しくなっている。その中で、目的に応じて回路を動的に再構成し、稼働率を高める事で性能向上を図る動的再構成デバイスに注目が集まっている。

そこで、我々は光を用いた回路転送による動的再構成が可能な光再構成型ゲートアレイ (Optically Reconfigurable Gate Array : ORGA) の研究開発に取り組んでいる。光再構成型ゲートアレイでは、回路情報を 2 次元パターンとしてホログラムメモリに記憶し、それを光学的に読み出すことで完全並列にゲートアレイ部に転送するため、高速な動的再構成が可能である。本稿では、光再構成型ゲートアレイの回路情報転送時のビットエラーレートの測定結果について報告する。

2. 光再構成型ゲートアレイ

光再構成型ゲートアレイはレーザアレイ、ホログラムメモリ、ゲートアレイ VLSI から構成される。ゲートアレイ VLSI は、一般的な FPGA と同様にアイランドスタイルで配置された論理ブロックとスイッチングマトリクス、I/O ブロックから構成され、それらのプログラムポイントには受光回路が実装されている。ホログラムメモリはコンテキストパターンを記憶する。ホログラムメモリに記憶された回路情報はレーザアレイによりアドレッシングされ読み出される。

3. 受光回路による回路情報の受信

光再構成型ゲートアレイの受光回路にはフォトダイオードが含まれ、照射された光の明暗を 2 値の値として受け取ることができる。このフォトダイオードで受光された情報はフリップフロップ内に記憶される。光再構成型ゲートアレイのこの光バスのエラーレートはこれまで測定されてきておらず、この度、このエラーレートを測定し、多ビットの光バスの信頼性について評価した。

4. ビットエラーレートの測定試験

光再構成型ゲートアレイ上で再構成を繰り返して行い、回路が正しく実装できているかどうかを確認し、エラー数を測定した。図 1 に試験で使用した光学系の写真を示す。また、図 2 にコンテキストパターンを示す。コンテキストパターンの明点の数は 31 であり、31 本の光バスと考えることができる。一度の再構成で 31 ビットの情報が転送される。本試験では 40 μ s おきに再構成を実施し、24 時間の間に何回エラーが生じるかについて測定した。結果、10 μ s の再構成時間でエラー無しの再構成が可能であることを確認した。



図 1. 本試験の光学系



図 2. コンテキストパターン

5. 今後の課題

今回の試験では 24 時間の間、31bit の光バスがエラー無しで機能することを確認した。今後は更に短い再構成時間で同様の評価を行い、より高速な再構成においても同じ水準の信頼性が得られることを確かめていきたい。

参考文献

- [1] J. Sune et al, "Gate stack insulator breakdown when the interface layer thickness is scaled toward zero", Applied Physics Letters, Vol. 97, Issue 21, pp. 213503-213503-3, 2010.