

# 低電圧・低消費電力 AD 変換器の提案

日野 翔太<sup>†</sup> 和田 康太郎<sup>†</sup> 升井 義博<sup>†</sup>  
<sup>†</sup> 広島工業大学 工学部 電子情報工学科

## 1. はじめに

近年、センサーに無線機能を付与し、センサーネットワークを無線化する動きが見られる。センサーネットワークを完全に無線化するためには、各センサーが各々電源を持ち、電源線を不要にする必要がある。それを実現するために電源部分をエネルギーハーベストで補おうという研究がされている。エネルギーハーベストにより得られる電力は少量であるという欠点があるため、センサーに用いられる AD 変換器は省電力である必要がある。そこで本研究では、低電圧・低消費電力で動作可能な逐次比較型 AD 変換器の新規回路構成を提案する。

## 2. 提案する回路の特徴

逐次比較型 AD 変換器内のレジスタ回路は、数多くの D 型フリップフロップ (以下 D-FF) で構成されている。D-FF はクロックによって動作する論理回路であり、内部の大半のトランジスタはクロックが入力される。つまりこの回路が多いほど変換器全体の消費電力が増加してしまう。そこで本研究では、差動型 D-FF とクロックゲーティングを用いて、クロックによって動作するトランジスタ、及びクロックの入力そのものを制限することで消費電力を削減した。図 1 に示す差動型 D-FF はクロックにより動作するトランジスタを 3 つに削減した D-FF の構成である。また、図 2 に示したクロックゲーティングは、クロックの入力を AND 回路によって制限することが可能な構成である。

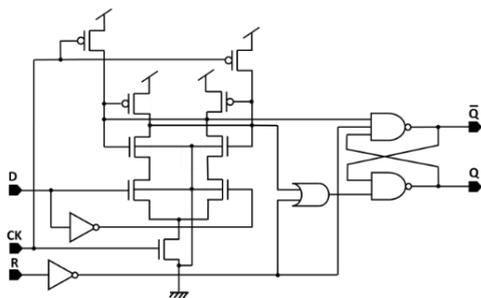


図 1 差動型 D-FF

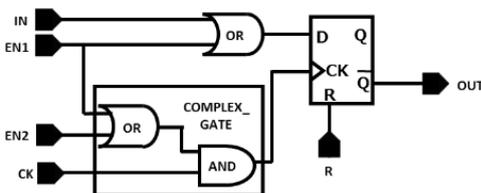


図 2. クロックゲーティング

## 3. シミュレーション結果

今回、0.18 $\mu$ m CMOS プロセスを用いて 8bit 逐次比較型 AD 変換器を差動型 D-FF とクロックゲーティングを用いて構成し、回路全体の性能をシミュレーションによって導出した。表 1 に本回路のシミュレーション結果と他論文との性能の比較を示す。FoM (Figure of Merit) は式(1)<sup>[1]</sup>より導出した。

$$FoM = \frac{P_d}{f_s \times 2^{ENOB}} \dots\dots\dots \text{式(1)}$$

Pd:消費電力, fs:サンプリング周波数, ENOB:有効 bit 数。

表 1. 性能比較

	他論文 <sup>[2]</sup>	提案回路
プロセス	65nmCMOS	0.18 $\mu$ mCMOS
分解能[bit]	12	8
電源電圧[V]	0.6	0.6
信号帯域[Hz]	5M	50k
入力信号周波数[Hz]	500k	45k
消費電力[W]	83 $\mu$	195n
DNL[LSB]	0.24	-0.143~0.166
INL[LSB]	0.45	-0.266~0.131
SFDR[dB]	84.5	69.7
SNDR[dB]	65.0	49.8
ENOB[bit]	10.5	7.97
FoM[fJ/conv.step]	6.2	4.66

## 4. まとめ

本稿では、差動型 D-FF とクロックゲーティングを用いてレジスタ回路を構成することによって、低電圧・低消費電力で動作可能な逐次比較型 AD 変換器の新規回路構成を提案した。本回路は電源電圧が 0.6V という低電圧で動作可能である。また、AD 変換器の指標を表す FoM は 4.66 fJ/conv.step という値を示した。この結果は提案回路より微細プロセスで構成された論文のものよりも高性能であることを示す。

**謝辞** 本研究は東京大学大規模集積システム設計教育研究センターを通じてケイデンス㈱, およびローム㈱の協力で行われたものである。

### 参考文献

[1] 松澤 昭, 宮原 正也:「超高速 ADC の低 FoM 化技術」電子情報通信学会 エレクトロニクス公演論文集 CS-2-2, 2010  
 [2] Wan Kim et al, "A 0.6 V 12 b 10 MS/s Low-Noise Asynchronous SAR-Assisted Time-Interleaved SAR (SATI-SAR) ADC" IEEE Solid-State Circuits, Vol.51, no. 12, pp. 1826-1838, Aug. 2016.