

マルチコアにおける 排他制御用ハードウェアの研究

神谷 航輝[†] 南角 茂樹[†]

[†] 大阪電気通信大学大学院総合情報学研究科

1. はじめに

近年、様々な企業では M2M(Machine to Machine)技術や IoT(Internet of Things)技術が着目されている[1]. 通信技術の発展や通信機器の高速化に伴い、組み込み製品のプロセッサに対する性能要求が増加している. プロセッサの性能要求の増加に対しては従来クロック数向上により問題を解決してきたが近年クロック数の上昇が頭打ちになってきているそのため近年の組み込みシステムにおいては性能向上手段としてマルチコアプロセッサシステム(以後、マルチコア)の利用が進んでいる. マルチコアにおいてコア間で共有するデータアクセスに排他制御が必須である. マルチコアでは排他制御は割り込み禁止, またその他のコアが共有資源にアクセスできないようにロックを用いることで排他制御を行う. しかしマルチコアにおいて排他制御をロックの取得→割り込み禁止という順で実行する場合 API 実行時間の最悪値を定められない, また割り込み禁止→ロック取得の順で実行する場合, 割り込み応答時間の最悪値を定めることができないという問題点がある. そこで本研究では, FPGA を用いてマルチコアにおいて複数のコアに割り込み禁止を同時に実行するのと同等の命令をハードウェアで実現し, 排他制御を行う方式を提案する.

2. 提案手法

割り込み禁止と同等の命令をハードウェアで実現する際, まず割り込み禁止に相当する命令 Hard Ware Disable Interrupt 命令(以後, HWDI 命令)があった場合に専用ハードウェアがすべてのコアに割り込みが発生しないようにする. しかしすべてのコアに割り込みが発生しなくとも他のコアで現在実行中の処理が共有資源にアクセスする場合があるため共有資源毎に識別子を用意しコアが HWDI 命令発行後, 他のコアが同じ共有資源にアクセスする際は後から HWDI 命令を発行したコアを停止する. さらにマルチコアでは複数のコアで同時に同じ共有資源にアクセスする場合もあるため各処理の優先度を利用し, その比較を行い優先度の低いコアの動作を停止することで排他制御を行う.

3. 提案システム構成

図. 1 に提案方式を実現するためのシステム構成を示す. 本研究では割り込みはすべてシステムのセクタを通してコアに伝えられる. またコアから HWDI 命令が発行された場合セクタがコアから割り込み禁止中の割り込みを専用レジスタに保留する. 提案システムには HWDI 命令を発行した処理がアクセスする一意に定めた共有資源の ID, HWDI 命令を発行した処理の優先度と割り込み禁止中に発生した割り込みを保持する領域を持つ.

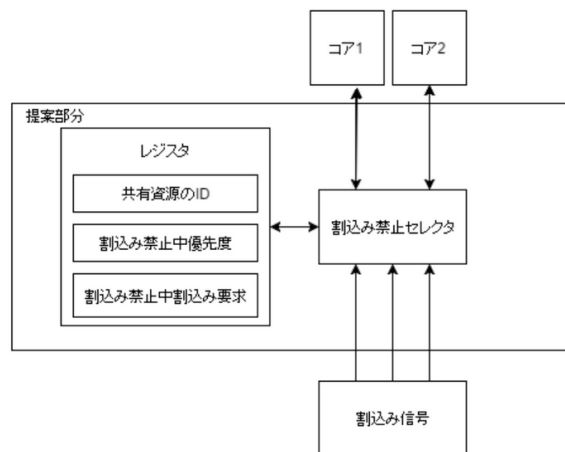


図. 1 システム構成

4. 検証環境

本研究の提案手法を検証するための開発ボードとしては Altera 社の DE0 を使用する. また, 評価を行うための CPU としてはソフトコアプロセッサの NiosII を用いて検証評価を行う.

5. おわりに

本稿では, マルチコアにおいて割り込み禁止と同等の命令を実現するための専用ハードウェアについての提案を行った. 今後の予定として, 提案システムを FPGA 上で機能の実装を行い, 既存のロックなどの排他制御との性能比較評価を行うことである.

参考文献

[1]辻 秀一:「M2M 技術調査専門委員会活動報告-全体活動報告-」【C】平成 24 年電気学会電子・情報・システム部門大会講演論文集, pp. 239-240(2012)