

# 低消費電力テストによる微小遅延品質評価

松本 和高<sup>†</sup> 山口 賢一<sup>‡</sup>  
<sup>†</sup> 奈良工業高等専門学校 電子情報工学専攻

岩田 大志<sup>‡</sup>  
<sup>‡</sup> 奈良工業高等専門学校 情報工学科

## 1 はじめに

近年, LSI の高速化・微細化に伴い, 微小な遅延を引き起こす欠陥 (以下, 微小遅延欠陥) が増加している. 微小遅延欠陥は, 活性化される経路によって回路の動作に影響をおよぼす欠陥となる. 微小遅延欠陥を含めたテストの評価指標には, 統計的遅延品質レベル (SDQL: Stastical Delay Quality Level) が提案されている [1].

また, テスト時には通常動作では起こりえない状態遷移が発生する. 状態遷移が一度に発生することで, 瞬間的に電圧降下 (IR ドロップ) が起きる. これにより回路内部に遅延が発生し, 正常な回路であってもテスト時に不良品と判断してしまう誤テストを引き起こす. これを防ぐために, テスト時の回路内部に発生する遷移を削減し, テスト時電力を削減する必要がある.

そこで本稿では, テスト時電力を削減するテスト手法を実現し, SDQL を用いて微小遅延欠陥検出能力を評価する. また, それに与える影響を明らかにする.

## 2 統計的遅延品質レベル (SDQL)

SDQL は, 微小遅延欠陥分布図から求められる. 図 1 は, 微小遅延欠陥分布を  $F(s)$  としたときの微小遅延遅延分布図である.  $F(s)$  はタイミング冗長, 未検出, 検出の 3 つの領域に分割される.

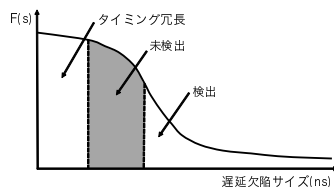


図 1 タイミング冗長, 未検出, 検出領域の関係

タイミング冗長領域は, 許容される遅延時間領域を表している. また, 検出領域は, 回路の動作に影響を及ぼすがテストで検出可能な領域を表している. 未検出領域は, 回路に影響を及ぼす可能性があるが, テストでは検出できない領域を表している. この未検出領域面積が SDQL であり, SDQL が小さいほど微小遅延欠陥検出能力は高い.

## 3 提案手法

テストパターンの生成には, LoC 方式を用いた [2]. LoC 方式は, 2 パターンの連続したテストパターンを印加する 2 パターンテストの一種であり, 2 パターン目に組合せ回路からの出力応答を用いる. LoC 方式の問題点として, 2 パターン目の制御が困難である点があげられる. 本稿では, 1 パターン目に存在する X を最適に割り当てることで 2 パターン目の制御を行い, キャプチャ時の遷移削減を行う.

## 4 実験結果

ITC'99 ベンチマーク回路に対し, ATPG ツール<sup>1</sup> を用いてテスト系列の生成を行った. それに対し提案手法とシフト時電力を削減するために X を割り当てた場合とランダムに X を割り当てた場合のテスト時電力を測定した. その結果を表 1 に示す. 電力は, スキャン動作を含めた順序回路全体に対し測定している.

表 1 電力削減時とランダム割り当て時の電力

	電力削減手法	Random割り当て	削減率(%)
b05	2.018E-05	2.24E-05	9.91
b06	2.236E-06	2.246E-06	0.45
b08	5.336E-06	5.482E-06	2.66
b09	6.936E-06	6.875E-06	-0.89
b10	4.800E-06	4.880E-06	1.64

最もテスト時電力を削減できた b05 に対し, SDQL の変化を求めたグラフを図 2 に示す. 図 2 より, b05 においてテスト時電力を 9.91%削減した場合, 微小遅延欠陥検出能力に影響はなかった.

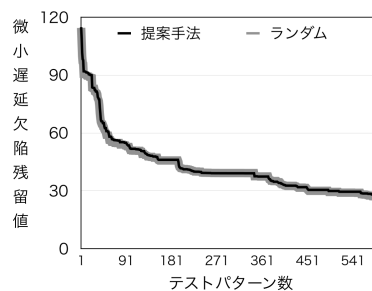


図 2 b05 における SDQL の変化

## 5 まとめ

提案手法を適用することでテスト時電力を削減し, SDQL の値を増加させない微小遅延テストの実現可能性を示した. しかし, b05 以外の回路において電力を十分に削減できなかった. この理由としては, 本提案手法はキャプチャ時電力を削減する手法であるのに対し, 実験ではシフト時電力を含んだ電力測定を行っているからであると考えられる. 今後, 厳密に電力測定を行い, 提案手法の効果を定量的に評価する必要がある.

## 参考文献

- [1] 佐藤 康夫ら, “ディレイ品質を予測する統計的品質モデル”, 電子情報通信学会技術研究報告. DC, ディペンダブルコンピューティング 104(664), 99-104, 2005-02-11
- [2] L.H.Goldstain, “Controllability/Observability analysis of digital circuita”, “IEEE Trans Circuits Syst., bol.CAS-26, no.9, pp685-693, Step.1979

<sup>1</sup>本研究は東京大学大規模集積システム設計教育センターを通し, シノプシス株式会社の協力で行われたものである.