

# 逐次比較型 AD 変換器の低消費電力化

日野 翔太<sup>†</sup> 和田 康太郎<sup>†</sup> 升井 義博<sup>†</sup>  
<sup>†</sup> 広島工業大学 工学部 電子情報工学科

## 1. はじめに

身の回りにあるアナログ信号をコンピュータで処理するためにはデジタル信号に変換する必要がある。その際に用いられるのが AD 変換器である。AD 変換器の一つとして逐次比較型がある。この変換器はレジスタ、サンプルホールド回路、DA 変換器、そして比較器といった回路で構成されている。この変換器は、一つの比較器を繰り返し使うため回路規模が小さく、低消費電力が望め、さらに高分解能化が可能という特徴を持つ。

本稿では逐次比較型 AD 変換器の消費電力をより小さくすることを目的とし、新規回路構成を提案する。

## 2. 提案する回路の特徴

逐次比較型 AD 変換器内のレジスタ回路は、D 型フリップフロップ(以下 D-FF)で構成されている。図1は一般的な D-FF の回路図である。この回路の場合、クロックで動作するトランジスタの個数が12個と多く消費電力が大きくなってしまふ。それに対して図2に示す差動型 D-FF の場合はクロックにより動作するトランジスタが3つであるため、通常よりも消費電力が低くなる。ただしリセットとクロック(CK)のパルス幅の大小関係によっては、理想的な D-FF の動作をしなくなってしまうという欠点もあるため、差動型 D-FF は一般的にはあまり使用されない回路である。

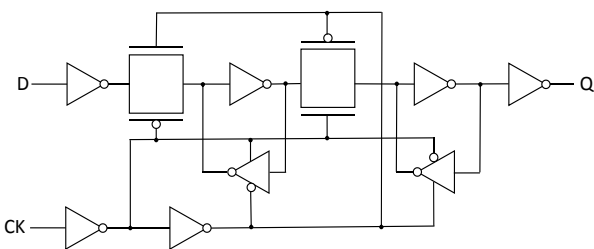


図1. 通常の D-FF 回路

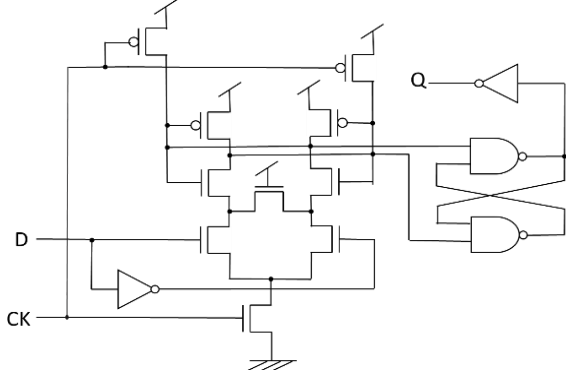


図2. 差動型 D-FF 回路

## 3. シミュレーション結果

今回、0.18 μm CMOS プロセスを用いて4bit 逐次比較型 AD 変換器を設計し、変換器内のレジスタ回路を通常の D-FF を用いた場合と差動型 D-FF を用いた場合で構成し、変換器全体の性能を比較した。表1にシミュレーション結果の比較を示す。FoM は式(1)より導出した。

$$FoM = \frac{P_d}{f_s \times 2^{ENOB}} \dots\dots\dots \text{式(1)}$$

差動型 D-FF で構成した逐次比較型 AD 変換器は通常の D-FF で構成した場合に比べ 10.9%の消費電力を削減可能であることが確認できた。

表1.シミュレーション結果の比較

	通常の D-FF	差動型 D-FF
入力電圧レンジ[V]	0~1.8	0~1.8
DNL[LSB]	-0.3116~0.3295	-0.2914~0.3356
INL[LSB]	-0.2158~0.2180	-0.2266~0.2132
電源電圧[V]	1.8	1.8
平均消費電流[nA]	741.5	660.4
平均消費電力[nW]	1335	1189
信号帯域[kHz]	125	125
CK の周波数[kHz]	1000	1000
SFDR[dB]	24.73	21.20
FoM[pJ/conv.step] <sup>[1]</sup>	1.146	1.014
プロセス	0.18 μmCMOS	0.18 μmCMOS

## 4. むすび

本稿では4bit 逐次比較型 AD 変換器内の D-FF を差動型にすることで回路全体の消費電力を削減可能であることを確認した。今後は変換器の分解能を増加させていった場合、どの程度消費電力を抑えられるのか確認していきたい。

**謝辞** 本研究は東京大学大規模集積システム設計教育研究センターを通じてケイデンス㈱,およびローム㈱の協力で行われたものである。

## 参考文献

[1]松澤 昭、宮原 正也:「超高速 ADC の低 FoM 化技術」電子情報通信学会 エレクトロニクス公演論文集 CS-2-2,2010