

論理ゲートのみを用いた フラッシュ型 AD 変換器

成田 博昭[†] 和田 康太郎[†] 升井 義博[†]

[†] 広島工業大学 工学部 電子情報工学科

1. はじめに

集積回路には大きく分けてアナログとデジタルの2種類が存在する。一般的に小面積で高精度化が可能であるがトランジスタの知識等を必要とし、設計やレイアウトに時間がかかる。対してデジタル回路は論理回路の知識を必要とするが回路設計やレイアウトにあまり時間を要さない。本稿では、論理回路のみで構成可能なフラッシュ型 AD 変換器の回路構成を提案する。デジタル回路のみを用いることによりレイアウトの自動化ひいては大幅な設計時間の短縮に繋がる。

2. 提案する回路の特徴

提案回路は通常の AD 変換器と異なり論理回路のみで構成している。提案回路で使用する比較器の構成を図 1 に示す。図 2 は 4NOR 回路の入力をショートさせて NOT 回路として利用している^[1]。4NOR 回路は MOS の数が多く、通常の NOT 回路に比べしきい値が低くなる。異なる2つ以上のしきい値を持つ論理回路を並列に接続した時、回路全体のしきい値は回路を構成している複数論理回路のしきい値のおおよそ半分となる。

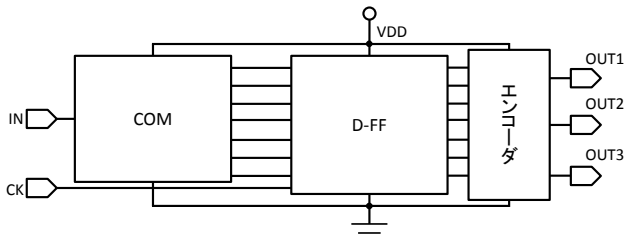


図1. 3bit フラッシュ型 AD 変換器回路図

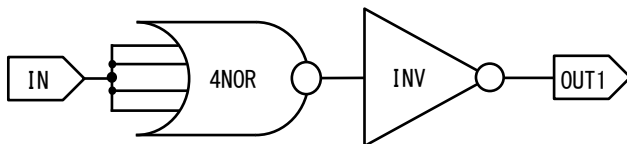


図2. 比較器の回路図例

3. シミュレーション結果

0.18 μ mCMOS プロセスを使用し3bit のフラッシュ型 AD 変換器を設計し性能を評価した。表1に設計したフラッシュ型 AD 変換器の性能を示す。電源電圧は1V であり消費電流は 17.09 μ A であった。FoM は式(1)より導出した。

表1. 評価一覧

bit 数	3bit
入力電圧レンジ[mV]	386~609
DNL[LSB]	0.084~-0.067
INL[LSB]	0.039~-0.045
電源電圧[V]	1
平均消費電流[μ A]	17.09
平均消費電力[μ W]	17.09
信号帯域[MHz]	12.5
CL の周波数[MHz]	17
SFDR[dB]	23.7
FoM[pJ/conv.step] ^[2]	0.106
プロセス	0.18 μ mCMOS

$$FoM = \frac{P_d}{f_s \times 2^{ENOB}} \dots\dots\dots \text{式(1)}$$

利用した論理回路で一番しきい値が低いのは4NOR 回路を利用した比較器で 410.5mV、一番高いのは 4NAND 回路を利用した比較器で 584.8mV であった。それにより入力電圧レンジが表 1 のように定まった。

4. むすび

本稿では論理回路のみで構成する3bit フラッシュ型 AD 変換器を提案した。論理回路のみで構成するため比較的簡単に設計することができた。しかし、bit 数が増えるとしきい値の微調節は難しくなる。今後はしきい値の自動算出化について研究検討していきたい。

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通じてケイデンス㈱、およびローム㈱の協力で行われたものである。

参考文献

- [1] 佐藤 祥輝ほか:「ニューロン CMOS インバータを用いたフラッシュ型 AD 変換器」, 電子情報通信学会 Vol.J96-C,2013
- [2] 松澤 昭, 宮原 正也:「超高速 ADC の低 FoM 化技術」, 電子情報通信学会 エレクトロニクス公演論文集 CS-2-2,2010