

複数の FPGA に対する分散型非同期式アービタの実装と評価

中野 涼太[†] 荒木 英友[†] 近藤 真史^{††}
[†] 岡山県立大学情報工学部

横川 智教[†] 佐藤 洋一郎[†] 有本 和民[†]
^{††} 川崎福祉大学医療技術学部

1. はじめに

近年、高性能演算システム(HPC) の分野では、演算デバイスとして再構成型集積回路(FPGA) が注目されている。当研究室では、複数の FPGA 間を接続する非同期バスとして、環状に分割されたバスを動的に接続する分散型リングセグメントバス(分散型 RSB)を提案している。しかし、シミュレーション上での動作確認に留まっており、回路実装時の動作は保証されていない。そこで本研究では、複数の FPGA を用いた分散型 RSB の実装環境を構築し、それを利用した実装と評価について報告する。

2. 分散型リングセグメントバス

分散型 RSB の基本構成を図 1 に示す。CD は構成要素 C の集合であり、ここでは FPGA がそれに対応する。CD はスイッチ回路 SBrg を介して環状に配されたセグメント S と接続される。いずれのセグメントを接続するかは、各 CD に配置された分散型非同期式アービタ(GCell) が担っており、 CD_i から CD_k へのデータ転送は次の手順に従って行われる。GCell 間には単一のトークン(Token) が循環しており、GCell_i がトークンを獲得すると、 CD_k に至る双方向の経路に対して ReqPath を送信する。経路の途中に存在する GCell は ReqPath を伝播し、もし隣接する S が既に使用中ならば(この場合、GCell₂) Fault を返送する。GCell_k は、先着した経路(この場合、太破線の経路)に対して AckPath を返送し、それに応じて SBrg を接続しながら転送経路を構築する。

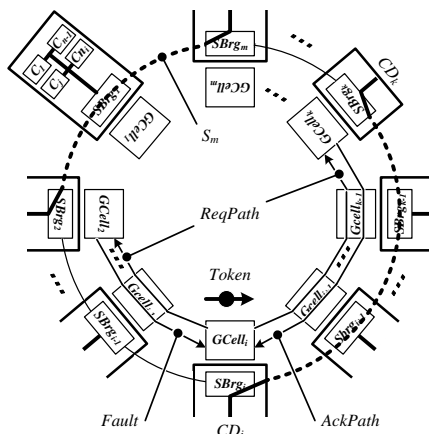


図 1. 分散型リングセグメントバス

3. 実装環境の構築

分散型 RSB において FPGA 間で交わす信号を整理すると、バスの制御を担う GCell 間で非同期的に交わされる制御信号と、転送経路の構築後に FPGA 内の構成要素間で交わされるデータ信号に大別される。前者の制御信

号については、バスの構築頻度を勘案すると高速な伝送速度は冗長となる。よって本研究では、制御信号に対して汎用 IO を用いたシングルエンド伝送を前提とする。後者のデータ信号については、大容量のデータ転送を想定し、SMA ケーブルを用いた高速な差動伝送により実現する方針を採る。以上の異なる伝送方式を実現するため、本研究では Xilinx FMC 拡張カード XM105 (汎用 IO ×40) と XM104 (SMA ×8) により、高性能汎用 FPGA ボード(KC705) の IO を拡張し、これを単位として 4 つの FPGA からなる分散型 RSB の実装環境を構築した(図 2)。

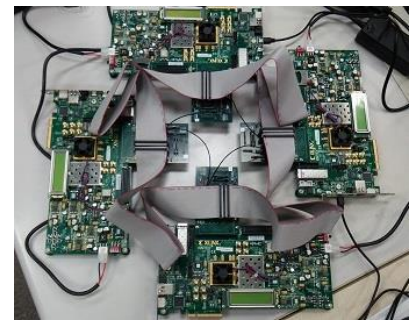


図 2. 実装環境

4. 実装と評価

分散型 RSB の制御に係る動作を確認するため、上述した実装環境に対して分散型アービタ(GCell)の実装を行った。なお、GCell は非同期式回路であるため、その動作を保証する遅延仮定が破綻することのないように、主要な信号全てに配置・配線制約を施している。Xilinx ChipScope を用いて GCell の内部信号を直接観測した結果、転送経路の構築・解放動作および転送経路の並列構築など、分散型 RSB における所望の動作全てが確認された。

CD 数が増加した場合における性能について、上述した実装環境での GCell およびバスの遅延値を実測・抽出し、モンテカルロシミュレーションにより性能評価を行った。CD 数 4, 8, 16 における経路構築に係る応答時間を図 3 に示す。この結果より、CD 数の増加、即ち経路構築時に経由するバス数の増加に伴って、その遅延値による性能劣化が顕著になることが示唆された。

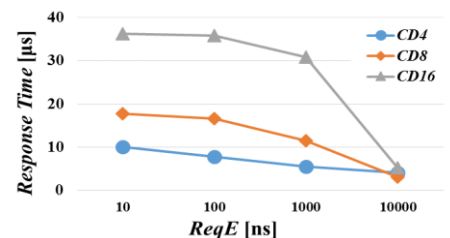


図 3. 性能評価結果

6. あとがき

本研究を通じて複数の FPGA 上における分散型 RSB の動作とその性能・傾向が確認されたため、今後は実際の HPC に対する応用を検討する予定である。

謝辞: 本研究の一部は科研費(26730032)の支援で実施された。