

ビットシリアル型積和演算器を用いた FIR フィルタの実装

岡本 大地[†] 近藤 真史^{††}
[†] 岡山県立大学情報工学部

瀬島 吉裕[†] 佐藤 洋一郎[†]
^{††} 川崎医療福祉大学医療技術学部

1. はじめに

近年、デジタル信号処理回路(DSP)を内蔵した補聴器が普及しているが、その電池寿命は数日程度に留まっているのが現状である。そこで著者らは、DSP 内の積和演算器に着目し、低消費電力かつ小面積なビットシリアル型積和演算器(BS-MAC)を提案した[1]。しかし、あくまでもシミュレーションによる動作確認に留まっており、これを回路実装した際の動作は保証されていない。そこで本研究では、BS-MACを用いて FIR フィルタを設計し、FPGA による回路実装を通じて、その動作を確認する。

2. ビットシリアル型積和演算器

人の可聴域(~20kHz)を対象とする補聴器用 DSP では、一般的な並列乗算器の高速性は冗長となる。これに対して BS-MAC は、一対の全加算器と D-FF を用いて逐次演算を行う直列乗算器を基に設計されており、演算ビット数に依らない小面積な構成となっている。特にその制御においては、局所的にリングオシレータを用い、演算期間内(図 1 の Start のアサートから End のアサートまで)のみ動的にクロックを生成することで、低消費電力化を図っている。

一方、逐次演算を伴う演算性能の劣化を抑えるため、積和演算における加算処理を乗算処理にビット単位で組み込むとともに、乗数の零であるビットに関する冗長な演算を省略するなどの高速化手法を導入している。

3. BS-MAC に基づいた FIR フィルタの設計

一般的な音声信号における量子化ビット数 $n=16$ を前提とした場合、BS-MAC の動作周波数は 192kHz となる。ここで、サンプリング周波数 $CLK_s=48kHz$ とすると、この間に BS-MAC が処理可能な演算回数は時分割処理を施しても高々数回であり、これでは FIR フィルタとしての十分なタップ数の確保が困難となる。そこで、BS-MAC の小面積性に着目し、複数の BS-MAC を用いた並列処理と時分割処理を併用することでタップ数の拡充を図る。

このときの FIR フィルタの構成を図 1 に示す。なお、時分割数を d 、並列数を m とする。まず、A/D コンバータを介して得られたデジタル音声信号は CLK_s に同期して SMem (FIFO) に保存される。SMem は m 基の d 入力マルチプレクサを内蔵しており、制御回路(FirCtrl)の Sel 信号に基づいて BS-MAC にデータを分配する。また、これにあわせて FMem (ROM) に保存されているフィルタ係数も同様に分配される。そして、FirCtrl が各 BS-MAC に演算開始信号(Start)をアサートすると演算が開始され、演算を終えた順

に各 BS-MAC から演算終了信号(End)がアサートされる。全ての BS-MAC が演算を完了、すなわち End_MAC がアサートさせることで、 m タップ分の積和演算が完了したことになる。以上の処理を、 CLK_s 内に d 回行うことで必要とする $d \times m$ 回の積和演算が行われる。その後、各 BS-MAC に保持されている一時的な演算結果は、桁上げ保存加算器(CSA)により加算され、Slicer により上位 n ビットが抽出された後、出力レジスタ(TempReg)を介して出力される。

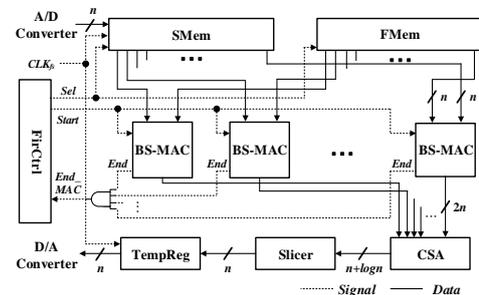


図 1. FIR フィルタの回路構造

4. 実装と評価

図 1 の FIR フィルタの応用例として、Remez 法(等リプル近似法)に基づいた、低域フィルタ(LPF)の設計を行った。設計仕様は $n=16$ 、 $CLK_s=48kHz$ 、 $d=3$ 、 $m=8$ (タップ数:24)とし、通過域および阻止域カットオフ周波数を 2kHz および 8kHz、減衰率を-100dBとした。これを信号処理用 FPGA ボード DFXLSP250 に実装し、ノイズ信号を入力した際の結果(周波数特性)を図 2 に示す。縦軸および横軸のスケールは-10dB/d および 2kHz/d である。図 2 より、2kHz 付近から減衰が始まり、8kHz 付近では-50dB まで減衰しており、フィルタとして正常に動作していることを確認できる。

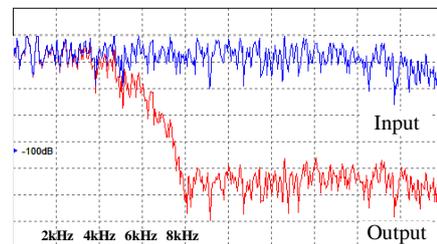


図 2. FFT の解析結果

5. おわりに

ビットシリアル型積和演算器を用いて、24 タップの FIR フィルタを実装し、周波数解析により所望の動作を確認した。今後は IIR フィルタ等に応用の幅を広げる予定である。

参考文献

[1] 岡本大地, 他, “負数演算機能を備えたビットシリアル積和演算器,” 信学技報 CAS, Vol.115, No.315, pp.115-120 (2015)