

# ネットワークルータにおけるパケットメモリアクセス制御の高速化

石本 拓也<sup>†</sup> 横川 智教<sup>††</sup> 佐藤 洋一郎<sup>††</sup> 大輝 晶子<sup>†††</sup> 川村 智明<sup>†††</sup> 有本 和民<sup>††</sup>  
<sup>†</sup> 岡山県立大学大学院情報系工学研究科 <sup>††</sup> 岡山県立大学情報工学部 <sup>†††</sup> NTT

## 1. はじめに

ルータは、ネットワーク間で配送されるパケットを一旦パケットメモリに蓄積し、振り分け制御を行う。パケットメモリには DDR SDRAM(DDR)を用いており、現在は、通信要求を満たすアクセス速度を有するが、益々増大する通信要求[1]に対応するためには、DDR へのアクセスの高速化が必要となる。そこで本研究では、バンクインタリーブを利用した高速アクセス手法を提案する。

## 2. DDR の動作と高速化方針

DDR は、同一行数、列数のメモリセルアレイ、行デコーダと IO からなるバンクを複数個内臓している。アドレスは、バンク番号、行・列アドレスで指定され、アクセスは、バンクの活性化、行の活性化、IO ポートへのアクセス、プリチャージ(初期化)の順で実行される。

連続するアクセスは、バンク番号や行アドレスが、①共に同一、②行のみ異なる、③バンクのみ異なる、④共に異なるに大別できる。①の場合、IO へのアクセスのみであり、③と④の場合、各バンクが独立した行デコーダと IO を持っていることから、インタリーブにより、高速動作が可能となる。これに対して、②の場合、上述したすべての処理が必要となり、低速となる。

以上から、書き込みの場合、②の場合、アクセスが完了したバンクを初期化しておき、アクセス先をそのバンクに変更(③または④)することで高速化をはかる

## 3. 提案するパケットメモリ制御法

### 3.1 アドレス管理方法

2. から、バンク番号の変更を伴うので、アドレスの管理が必要となる。まず、アドレスの管理を容易にするために、ルータのポート Q#のパケットを DDR の Q#行に蓄積するものとする。この結果、行アドレスの管理は不要となる。次に、パケットの管理はキューで行われているため、書き込みが行われた順に読み出され、読み出されたパケットは削除される。したがって、図1に示すように、書き込み時にパケットを右端に追加することにより、読み出すのは左端のパケットであると判断できる。このため、列アドレスの管理は、ポート番号に対応付けて、各バンクにおける先頭と次にアクセスを行うアドレスのみとなる。

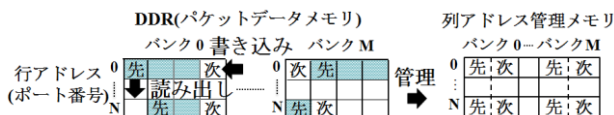


図1. アドレス管理方法

## 3.2 バンクインタリーブのためのバンク選択法

システムクロック:625 MHz, パケット長:8 clockとしたときの連続アクセスの動作タイミングを図2に示す。以下、サイクル  $S^n$ においてポート Q#への書き込みが発生したとして、バンク選択法を述べる。

サイクル  $S^n$ の直前4サイクル( $S^{n-1}$ から $S^{n-4}$ )にアクセスしたバンク番号とポート番号を記憶しておく。この中でQ#行が活性化されているバンクが存在する場合、そのバンクを選択し(①または④に対応)、それ以外の場合、 $S^{n-1}$ から $S^{n-4}$ において活性化されたバンク以外、すなわち、初期化が完了したバンクを選択する。この際、アクセスが完了するまでに約3.6サイクルかかるため、4サイクル以上放置されるバンク( $S^{n-1}$ から $S^{n-4}$ で活性化されていないが、 $S^{n-5}$ 以前で活性化された可能性がある)は初期化を実行し、以降のアクセスのために待機させる。

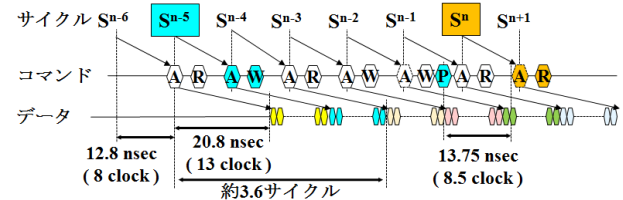


図2. 連続アクセス時の動作タイミング

## 4. アクセス速度に関する考察

ポート番号が異なる4つのパケットの書き込みと読み出しを交互に行う場合(例1)と連続して行う場合(例2)のクロック数及びスループットを求めた。その結果を表1に示す。ただし、64 Byte/パケットとし、従来法ではすべて同一バンクにアクセスするものとした。この結果から、提案法を用いることで、約3倍の高速化、40 Gbpsの実現が期待できる。また、パケット通信では、例2の様に一旦格納したデータを一定の時間が経過した後に読み出す処理が多いため、提案法は非常に有効である。

表1. 連続アクセス時の動作タイミング

	例1	例2
従来法	188(13.62Gbps)	344(7.44 Gbps)
提案法	68(37.65 Gbps)	65(39.86 Gbps)

## 5. あとがき

本稿では、パケットメモリアクセス制御の高速化手法を提案した。今後の課題は、FPGA 実装時の速度性能の評価と所要メモリの削減である。

## 参考文献

[1] NEDO, “ネットワークンググループ資料”, 2013.