

スタックフィルタのハードウェア実装

Hardware Implementation of Stack Filters

濱島 祥[†] 仲西 篤[†] 小林 恵太[†] 辻 裕之[†] 木村 誠聡[†]

[†] 神奈川工科大学情報学部情報工学科

1. はじめに

画像に重畳したインパルス雑音を除去する非線形フィルタとしてメディアンフィルタが最も代表的なものとして知られている。メディアンフィルタを一般化したものとしてスタックフィルタがある[1]。このスタックフィルタの処理の1つ、しきい値分解の回路が大きい回路規模を小さくすることが望まれる。

本研究ではメディアンフィルタとスタックフィルタをそれぞれハードウェア化し回路規模、処理時間(動作周波数)、RAMの使用量を比較し検討する。さらに、ブール関数を変更し別のランクオーダーフィルタが実装できるのかの確認を行い、提案法と従来法との比較、検討を行う。

2. スタックフィルタ

スタックフィルタは非線形フィルタの1つでメディアンフィルタを一般化したものであり、荷重メディアンフィルタやモロフोजーフィルタなどの非線形フィルタを包含するものである[1]。スタックフィルタは大きく分けて以下の3つの処理過程から構成されている[2]。

- 1) 入力信号のしきい値分解により2値信号群へ変換
- 2) 2値信号領域でのブール関数の入出力計算
- 3) ブール関数出力(2値信号群)の合成により出力算出

3. 研究内容

本研究では、9点メディアンフィルタとスタックフィルタをFPGA(Field-Programmable Gate Array)上で作成する。ハードウェア化するにあたり、その仕様を定める。入力はDVIによる映像入力とし出力も同様とする。図1に全体のブロック図を示す。しきい値分解は入力された8bitを255bitの0と1の2値化を行い、256通りのif-elseによる変換を行う。ブール関数の入出力の方法として、しきい値分解された2値を1bitずつ足し合わせ、局所領域が9点の場合5以上であれば1を出力し、それ以外は0を出力する。最後に出力された値を合成する[3]。

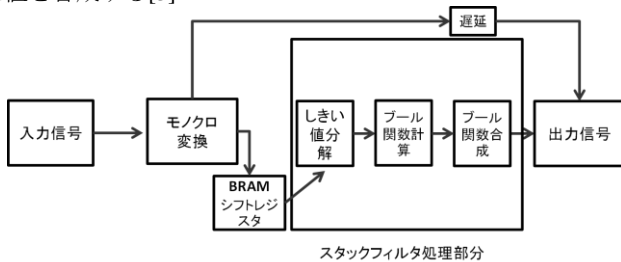


図1. スタックフィルタ全体のブロック図

スタックフィルタのFPGA実装の問題点として、しきい値分解の回路においてif-elseによる非常に大きなしきい値分解が必要になる。よってこのしきい値分解について回路規模を小さくすることが望まれる。そこで提案法として各bitの重みでビットシフトすることによりしきい値分解を行う。入力された値の0bitが1だった場合下位bitに1を入れる。0だった場合は0を入れる。1bit目以降は0だった場合はそのままシフトする。1の場合はbitの重み(0bit=2⁰, 1bit=2¹, 2bit=2²...)の分だけシフトし1を入れるという処理を行う。

4. 開発環境及び実装結果

本研究で用いたFPGAはXilinx社Spartan-3A DSP、使用ボードは東京エレクトロニクス株式会社TB-3S-3400DSP-IMG(図2)である。開発ツールはISE Design Suite Version 1 3.1で開発言語はVHDLを使用する。スタックフィルタとメディアンフィルタの比較した結果、メディアンフィルタの方が優れていた事がわかった。図3、図4にそれぞれの結果を示す。また、提案法の実装結果を図5に示す。この実験から提案法のスタックフィルタの方がFPGA全体の回路規模が大きくなり、周波数も劣っているが、RAMの使用率が大きく減っていることがわかった。

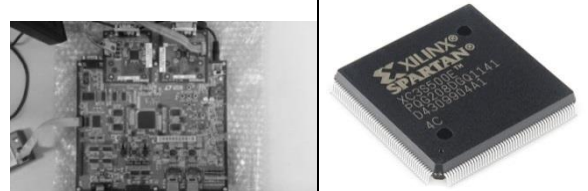


図2. 開発用ボードTB-3S-3400DSP-IMG, Spartan-3A DSP

回路規模とRAMの使用率			
	23,872	23,872	5%
	126	126	4%
図3. メディアンフィルタ			
Number of occupied Slices	3,126	23,872	13%
Number of RAMB16BWERs	78	126	61%
図4. スタックフィルタ			
Number of occupied Slices	4,707	23,872	19%
Number of RAMB16BWERs	6	126	4%

図5. 提案法のスタックフィルタ

またブール関数を変更し最大値フィルタを作成し、図6に示すように問題なく実装し動作することを確認した。



図6. 処理前 最大値フィルタ後

5. まとめ

本研究ではメディアンフィルタとスタックフィルタをハードウェア化し、それぞれの比較を行った。また、しきい値分解の新たな方法を提案した。提案法を用いたスタックフィルタの方が全体の回路規模が少し大きくなったものの、RAMの使用率が大きく減った。また、3x3局所領域においてはメディアンフィルタの方が回路規模的に優れているものの、スタックフィルタのブール関数を変更することによる優位性はあると言える。

参考文献

- [1] 井澤延乗, 田口亮, 村田祐, “FCWM(Fuzzy Center Weighted Median)フィルタの提案とその設計法”, 電子情報通信学会論文誌, Vol.J 79-A No.9, p1504-1515(1996,9)
- [2] 高久進, 田口亮, 村田祐, “ファジー荷重メディアンフィルタに関する一設計法”, 電子情報通信学会論文誌, vol.J 80-A No.6 p897-906, (1997,6)
- [3] 磯辺博一, 多田啓一, 田口亮, “スタックフィルタのFPGA実装”, 電子情報通信学会大会講演論文集, P387(2007)