

ハードウェアの再利用性を考慮した 画像認識コアの設計

佐保 宏晃[†] 横川 智教^{††}
† 岡山県大学大学院

佐藤 洋一郎^{††} 有本和民^{††}
†† 岡山県立大学

1. はじめに

車載に用いられるような画像認識にはリアルタイム性が要求され、これを満たすためには認識処理の高速化が不可欠である。本研究は、組み込み CPU とハードウェアを混合した高速画像認識コアを、*OpenCV*による顔検出をベースに検討する。この時、ハードウェアリソースの再利用性を考慮し、高効率なシステムの設計を検討する。

2. 対象検出アルゴリズムの解析

Haar-Like 特徴を用いた対象検出[1]は、グレースケール画像中から対象物体に見られる明暗による特徴を、図1のような(通常約 1000~10000 通りの) 矩形パターンを用いて捉える。

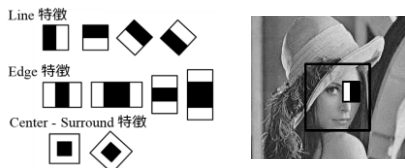


図1 Haar-Like 特徴

上記の特徴を利用して画像中の大小様々な顔を検出するプログラムを *OpenCV* を用いて C++ で作成し、処理時間の解析を行った。結果を図2に示す。この結果から、「対象の探索」処理に注目し、FPGA への実装による高速化を図るための検討を行う。

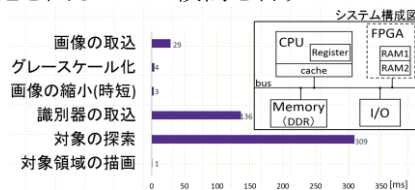


図2 ソフトウェア処理時間解析結果

3. ハードウェア化の提案手法

高速化の手法として、リソースを高効率で利用する、並列化・パイプライン処理化の方法を提案する。図3にその構成図を示す。

3.1. 並列パイプライン処理の実現

識別用データは、FPGAのブロックRAM(BRAM)に格納する。横一列の各比較ブロックは、BRAMから階層に応じた識別用パターンが送られて識別器を成す。ここで、各ブロックにおける処理は独立しているため、深いパイプラインが可能となり、高速化が望める。また同様の識別器構造を複数行配置し、並列に処理することで、高速化が期待できる。

さらに本手法では、ハードウェアへの実装とリソースの高効率利用を考慮し、同じ比較演算器を書き換えながら繰り返し動作させることで、少数の演算器で深いパイプラインを実現する。

3.2. 不使用演算器の効率的利用

認識における比較対象は徐々に減少するため、後の方では用意した回路に不使用領域が発生する。これを図4左に示す。本研究ではさらにこの領域に注目する。

パイプライン処理中に空の領域が発生しているかどうかを監視し、発見し次第新たな入力を逐次処理する。これにより、空の領域を効率良く利用することが可能となる。これを図4右に示す。

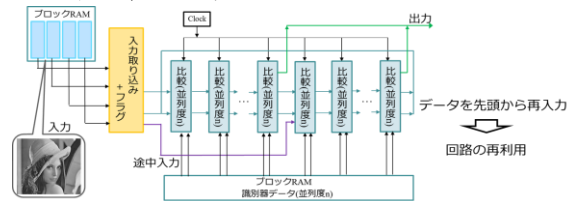


図3 構成図

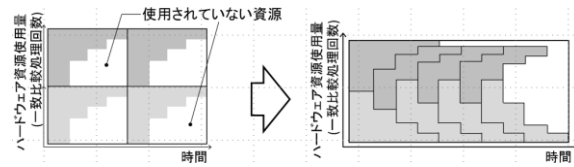


図4 ハードウェア資源使用量の高効率化

4. 提案手法の速度評価

提案する FPGA 上のパイプラインは、一般の CPU (4~5 段パイプライン) の場合と比べて約 4 倍以上の処理性能が望める。さらに並列度数 N 倍の処理性能が望めるため、合計で 2~3 桁の高速化が期待される。

5. おわりに

本研究では、*Haar-Like* 特徴による認識システムの *OpenCV* を用いた処理において、その一部を FPGA 上で実行することにより高速化を図る画像認識コアの設計を目的とした検討と、リソースの効率的利用を行う構成を提案した。

今後はこれを実装し、速度と認識率の評価を行う。

参考文献

[1] Rainer Lienhart and Jochen Maydt "An Extended Set of Haar-like Features for Rapid Object Detection" IEEE ICIP 2002, Vol.1, pp. 900-903, sep. 2002.