

2 並列ゲートアレイを持つ並列処理指向型光再構成型ゲートアレイ VLSI

藤森 卓巳[†] 渡邊 実[†]
[†] 静岡大学大学院 工学研究科

1. はじめに

近年、ソフトウェア処理のアクセラレーションに FPGA(Field Programmable Gate Array)[1][2]が頻繁に用いられるようになった。しかし、現在の FPGA を用いて並列処理を行う場合、多くのコンフィギュレーションメモリに同じ機能が実装されることとなり、非常に無駄であった。これは我々が研究開発を行っている光再構成型ゲートアレイ[3]においても同様であった。

本稿では、コンフィギュレーションメモリを共有化する並列処理指向のアイデアを導入し、新たに試作した並列処理指向型光再構成型ゲートアレイ VLSI について報告する。

2. 光再構成型ゲートアレイ

図1に示すように、光再構成型ゲートアレイはレーザーアレイ、ホログラフィックメモリ、ゲートアレイ VLSI の3要素で構成されている。本デバイスは FPGA のコンフィギュレーション ROM に相当する部分にホログラフィックメモリを採用している。そのため、大量のコンテキスト情報の保持が可能である。また、ホログラフィックメモリに記憶されたコンテキスト情報はレーザーアレイによってアドレスングされ、完全並列にゲートアレイ VLSI に転送されるため、回路実装にかかる時間も ns オーダーと短い。この特徴により、クロックレベルでの高速動的再構成が可能になる。

3. 並列処理指向

従来の光再構成型ゲートアレイでは、すべてのロジックブロック (CLB) やスイッチングマトリックス (SM) にフォトダイオードを持つ受光回路が実装されていた。これにより、CLB や SM1つ1つに対して個別に回路、配線情報をプログラムできた。しかし、並列処理を実装する場合、同様の処理を行う CLB や SM が多数存在する。従来の光再構成型ゲートアレイでは重複するコンテキスト情報も CLB, SM に個別に記憶させる必要があり、コンテキストメモリに無駄があった。そして、このコンフィギュレーション部の無駄はアクセラレータとして使用する際に顕著に現れることとなる。そのため、ゲートアレイの一部を並列処理指向型に変更し、光再構成型ゲートアレイをより高密度化した。

今回設計した2並列ゲートアレイ構造の並列処理指向型光再構成型ゲートアレイ VLSI は 0.18 μm 5-metal CMOS process であり、そのレイアウトを図2に示す。この

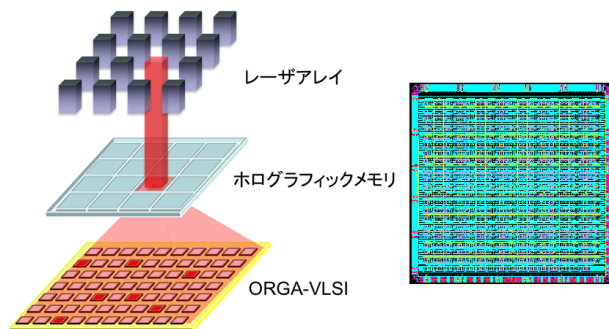


図1. 光再構成型ゲートアレイの構成 図2. 並列処理指向型光再構成型ゲートアレイ CAD Layout

VLSI は2層のゲートアレイがフォトダイオードの情報(回路情報)を共有している。

4. まとめ

アクセラレータとして使用される FPGA や光再構成型ゲートアレイでは必ずと言っていいほど並列処理を用いることとなる。しかし、その場合のコンフィギュレーションメモリは同じ機能が実装されることとなり無駄であった。新規に開発した並列処理指向型光再構成型ゲートアレイ VLSI はフォトダイオードの情報を2層のゲートアレイで共有化することで、より高密度化される。加えて、光で回路情報を並列転送するときの明点数削減により、情報の堅牢化や高速再構成といった恩恵も得ることができる。

参考文献

- [1] J. P. Durbano, F. E. Ortiz, "FPGA-based acceleration of the 3D finite-difference time-domain method," IEEE Symposium on Field- Programmable Custom Computing Machines, pp. 156-163, 2004.
- [2] D. Sheldon, R. Kumar, R. Lysecky, F. Vahid, D. Tullsen, "Application- Specific Customization of Parameterized FPGA Soft-Core Processors," IEEE/ACM International Conference on Computer-Aided Design, pp. 261-268, 2006.
- [3] T. Watanabe, M. Watanabe, "0.18 μm CMOS process high-sensitive differential optically reconfigurable gate array VLSI," IEEE Computer Society Annual Symposium on VLSI, pp. 308-313, Amherst, USA, Aug., 2012.