

モジュール間結合増加率を用いた実配線長の予測

福岡 久和[†] 岩田 大志[‡] 山口 賢一[‡]

[†] 奈良工業高等専門学校 電子情報工学専攻 [‡] 奈良工業高等専門学校 情報工学科

1 研究背景

VLSI 設計では回路の複雑化によりテストが十分に行えない。そのため、テスト容易化設計 (DFT) が不可欠である。一方、DFT により可検査性が向上する反面、レイアウト変更や回路全体のスルーポイント低下を招く。原因は論理合成ツールが元の回路構成を考慮せずスキャンパスを接続するためである。スキャン設計において、最適なスキャンパス構築はなされておらず、故障検出率向上が課題となっている。しかしレイアウトにおいて、依存関係がない FF 同士は離れて配置される場合が多い。よって、本稿では元回路への影響を低くしながら高い故障検出率を持つスキャンパス構築を提案する。

2 スキュードロードを用いた遷移故障テスト

本研究では、完全スキャン設計された回路に対するスキュードロード方式による遷移故障テストを対象とする。スキュードロード方式では、まず、1 パタン目 (IV) をスキャンインからシフトしてそれぞれ FF へ設定する。各 FF に設定された 1 パタン目を組合せ回路に印加し所望の状態にする。2 パタン目 (AV) は 1 パタン目を 1 つだけスキャンシフトしたテストパターンを用い、信号線の故障を活性化する。活性化された故障は組合せ回路部の出力から FF へ取り込まれ、スキャンアウトまで伝搬し、期待値と比較され故障検出が行われる。しかし、図 1 のように、実際にスキャン設計を行うと信号線 b の立ち下がり遷移故障が検出できない。

信号線 b の立ち下がり故障を観測するには、 FF_A を 1, FF_B を 1 に設定する 1 パタン目を印加する。次に、1 パタン目を 1 つシフトした 2 パタン目で信号線 b の故障を活性化させるが、 FF_A の値が 1 であるため、 FF_B の値を 0 に設定できない。このように、印加すべきパターンと実際に印加できるパターンが異なる場合をビット衝突と言う。ビット衝突が発生すると、誤りをスキャンアウトまで伝搬できない。しかし、スキャンパスの接続順を破線のように FF_A, FF_C, FF_B と変更した場合は誤り伝搬

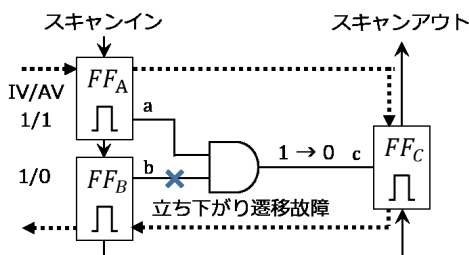


図 1 立ち下がり遷移故障が検出できない接続

が行える。遷移故障の検出率を 100% するには、ビット衝突のないスキャンパス構築アルゴリズムが必要である。

3 提案手法

任意のテストパターンを印加するには、ビット衝突が発生しないスキャンパスが必要である。ビット衝突が発生する必要条件は、ある組合せ回路への出力を持つ FF 同士を接続した場合である。提案手法では接続関係を表すために有向グラフを用いる。FF と外部出力を頂点、それらの接続関係を辺とする。この有向グラフを基にスキャンパス接続を考える。図 2 に有向グラフの例を示す。ここで、 V_A を注目点、 V_B を仮接続点とした場合、この 2 つの頂点は共通の出力点 V_C への接続を持つため、任意のテストパターンが印加できない可能性がある。しかし、仮接続点を V_C とした場合、注目点 V_A と仮接続点 V_C の出力先は異なるため、ビット衝突は発生しない。次に、注目点を V_C に移す。 V_B を仮接続点とした場合、 V_{PO} への出力を共有するため、ビット衝突が発生する可能性がある。しかしこの場合では、他に接続できる FF がないため、回路に影響のない FF を V_B, V_C 間に挿入し、ビット衝突を回避する。

4 今後の予定

提案手法では、依存関係のない FF 同士を接続するためモジュール外の FF との接続が予想される。そのため、関係が疎なモジュール同士の距離が短くなるよう配置される。よって、回路記述から算出したモジュール間結合率とレイアウトで得られる配線長との関係を調査し、回路に与える原因を特定する。

参考文献

[1] Sying-Jyan Wang, Kuo-Lin Peng, Katherine Shu-Min Li, "Layout-Aware Scan chain Reorder for Skewed-Load Transition Test Coverage", ATS'06

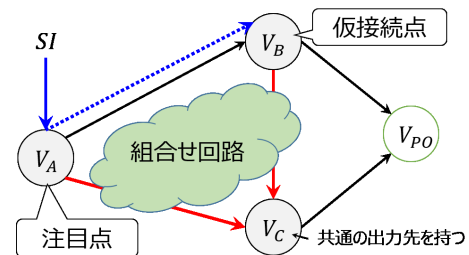


図 2 FF と外部出力関係を示した有向グラフ