

# センサーネットワークのための非同期型 AD 変換器

和田 康太郎<sup>†</sup> 田中 武<sup>†</sup> 升井 義博<sup>†</sup>

<sup>†</sup> 広島工業大学 工学部 電子情報工学科

## 1. はじめに

AD(アナログ-デジタル)変換器は私たちが普段利用するデジタルカメラや電話で使われている電子回路である。これらの機器ではアナログ信号をAD変換する事で劣化なく画像を長期間保存でき、遠くの人に雑音の小さいクリアな音声を届ける事ができる。本論文ではセンサーネットワークでの利用を想定した低消費電力フラッシュ(並列比較)型AD変換器を提案する。

## 2. AD変換器の原理

AD変換器はアナログ信号を一定の間隔で保持する標本化、最も近い離散値に近似する量子化、その値を2進数にする符号化という3つの工程を経てアナログ信号をデジタルデータに変換する。本論文で着目したフラッシュ型AD変換器は高速で動作するが、分解能を増やすと比較器の数が増え、消費電力が大きくなるという課題がある。

## 3. 提案する回路の特徴

フラッシュ型AD変換器は多数の比較器を利用する為、消費電力が大きい。図1のように提案する回路では比較器をNOT回路で構成し[1]、使用しない比較器をオフすることで低消費電力化を可能にする。提案する比較器はNOT回路内のMOSのサイズを調整する事で閾値を任意に設定することができる[2]、基準電圧生成回路を必要としない。比較器としてAMPを使う場合に比べ、基準電圧生成回路が不要になり、定常電流が流れないため低消費電力化できる。比較器のオフ制御は図2のように回路内にpMOSによるスイッチを設けており、上位bitの比較器がHになると下位bitの比較器をオフにし、低消費電力化している。

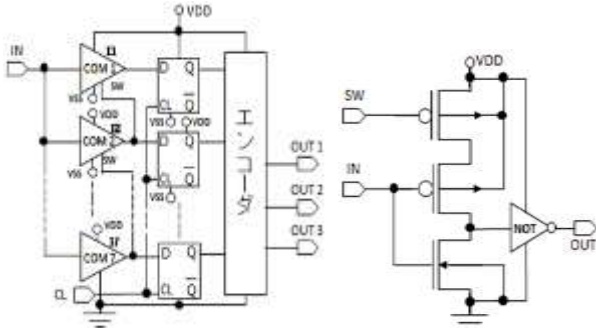


図1. 設計した3bitAD変換器の回路 図2.SW付きNOT回路

## 4. シミュレーション結果

提案した比較器の優位性を確かめるために 0.18  $\mu$ m CMOS プロセスを用い、3bitAD変換器を設計した。図3にシミュレーション結果を示す。入力電圧を0.3V~0.7Vにスイープした時の各比較器の出力電圧を図3(a)に、その時の各比較器の消費電流を図3(b)に示す。上位bitの比較

器がHになると下位bitの比較器の電流消費が無くなっていることが分かる。ITは消費電流の合計であり、5.43  $\mu$ Aであった。図4にはCOM3の回路におけるスイッチの有無による消費電流の比較結果を示す。グラフにあるように消費電流を平均0.772  $\mu$ Aから0.545  $\mu$ Aへと約30%低減する事ができた。他の回路も同様にスイッチを設けたことで消費電流が少なくなっている。

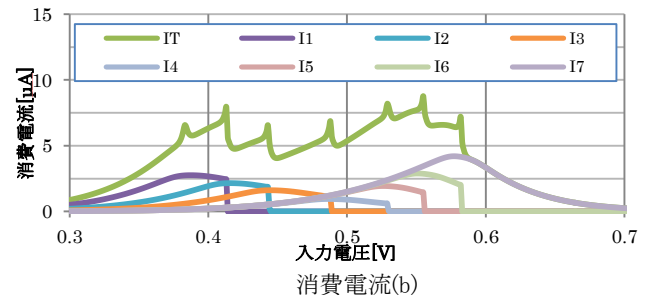
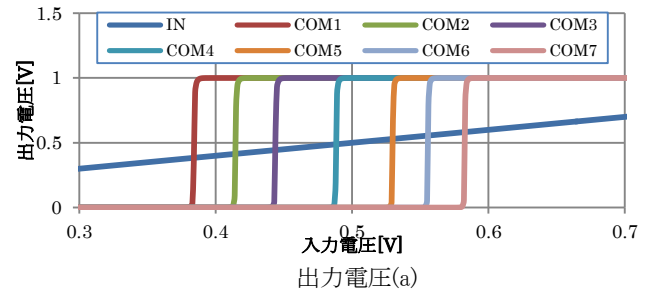


図3. 設計した回路のシミュレーション結果

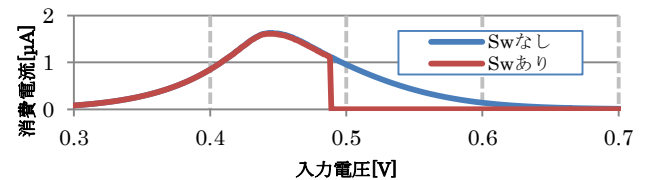


図4. SWの有無での消費電力の比較 (COM3に関して)

## 5. むすび

上位bitの出力により下位bitの比較器をオフすることで消費電流を減らすことが出来た。しかし比較器同士の閾値が離れていると消費電流があまり減らないという欠点がある。下位bitの出力によらず、より早く比較器をオフ出来る仕組みを検討したい。

## 参考文献

[1] 佐藤祥輝ほか, ‘ニューロン CMOS インバータを用いたフラッシュ型AD変換器,’ 電子情報通信学会 Vol.J96-C, 2013.  
[2] 橋田啓示ほか, ‘CMOS LSIのOpen故障現象の研究’ 高知工科大学 卒業研究報告書, 2007.

## 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通してケイデンス(株)およびローム(株)の協力で行われたものである。