

リングセグメント型GALSシステムを対象とした分散型アービタの設計

小田桐 由樹^{*†}, 近藤 真史^{††}, 横川 智教[†], 佐藤 洋一郎[†], 有本 和民[†]
 (†岡山県立大学, ††川崎医療福祉大学)

1. まえがき

GALSシステムに対する有望な非同期バスの構成法として、環状に配置された複数のバスを動的に接続するリングセグメントバス(RSB)が提案されている。特に分散型アービタに基づいたRSB(分散型RSB)は優れた拡張性を期待できるが、これまで動作概要の提案に留まっていた。そこで本稿では、分散型アービタの回路構成を示すとともに、その設計結果を報告する。

2. 分散型リングセグメントバスの構成

分散型RSBの構成を図1に示す。CDは構成要素の集合であり、スイッチ回路SBrgを介して環状に配されたセグメントSと接続される。いずれのSを接続するかは、分散型アービタ(GCellの集合)が担っており、GCell間を循環している単一のトークン(Token)を得たGCellが3.に従って転送経路を構築する。

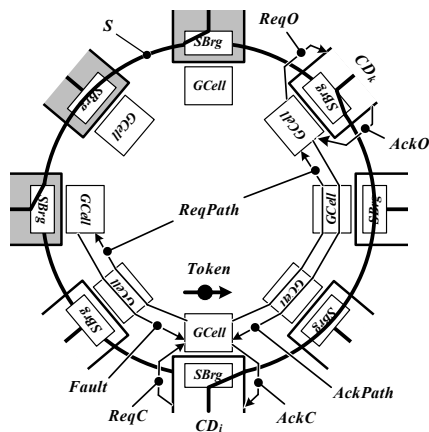


図 1: 分散型 RSB の構成

3. バスの制御手順

CD_i から CD_k へのデータ転送は次の手順に従って行われる。まず、CD_i からの ReqC を受けた GCell_i はトークンの獲得を試みる。トークンを獲得すると、

GCell_i は CD_k に至る双方向の経路に対して ReqPath を送信する。経路間上に存在する GCell は隣接する S が使用されていない場合は ReqPath を伝播し、使用されている場合は Fault を返送する。ReqPath が到着した GCell_k は、CD_k に対して ReqO を送信する。AckO としてその承認を得ると、先着した経路に対して AckPath を返送し、それに応じて S を接続しつつ転送経路を構築する。そして、GCell_i は AckC を CD_i に送信して転送経路の構築が完了したことを知らせる。

4. 設計と評価

非同期式回路合成ツール Petrifly を用いて GCell の論理合成を行い、Xilinx ISE 9.2 により設計を行った。CD 数 8 の分散型アービタに対するシミュレーション結果を図2に示す。対象デバイスは Xilinx Spartan3E であり、データ転送のパターンとしては、Trans1 (CD₁ → CD₇)、Trans2 (CD₃ → CD₅)、Trans3 (CD₄ → CD₂) がこの順で生起するものとする。図2より、3.の手順に従った所望の動作を確認できる。特に、Trans3に係る経路はTrans2のそれと重複しているため、Trans2のデータ転送が終了するまでTrans3の動作が待機していることが分かる。次に、分散型アービタの使用資源量の解析を行った。また、比較対象として既存の集中型アービタを同様に設計・解析を行った。その結果、CD 数の増加に伴っていずれのアービタも資源量が増大するものの、分散型アービタの増加割合は集中型のそれに比して緩やかであり、特に CD 数 16 においては、LUT 数を 1/3、スライス数を 1/2 程度にまで削減することを確認した。

5. あとがき

本稿では、RSB に対する分散型アービタを設計し、シミュレーションを通じて所望の動作を確認するとともに、資源量の観点からその有効性を確認した。今後の課題は、速度性能の評価を行うことが挙げられる。

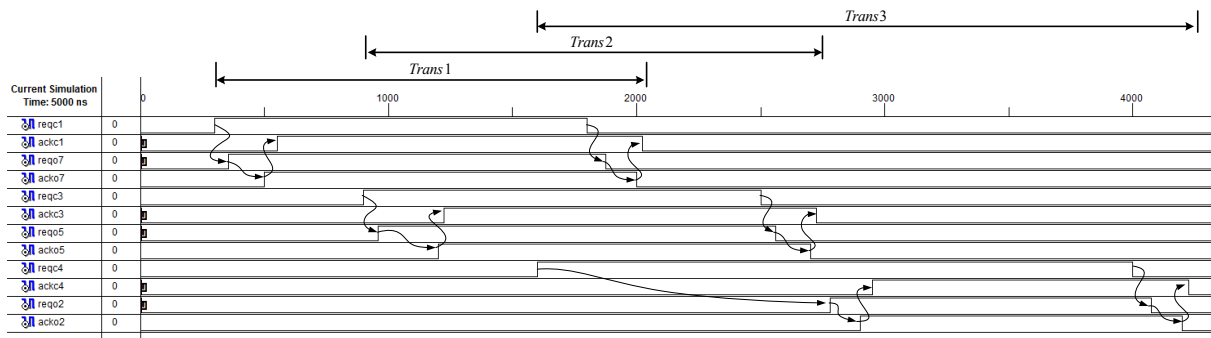


図 2: シミュレーション結果