

遅延故障のテスト容易性を指向した高位合成における スケジューリングに関する研究

中谷 夏主政[†] 吉川 祐樹[†]
[†] 呉工業高等専門学校 機械工学科

1. はじめに

近年、製造プロセスの微細化によってVLSIの動作速度や性能は向上している。しかしその一方で、回路の信号伝搬の遅れがタイミング不良を引き起こすことも多く、遅延故障による欠陥が問題となっている。本稿では、遅延故障のテスト容易性を設計の上位段階であるスケジューリングで考える手法を提案する。

2. 遅延故障

遅延故障とは、回路内の信号伝搬が遅れる故障のことである。回路に遅延故障が存在する場合、故障の影響によりある決められた期間内(たとえばクロック周期)に信号が伝搬されず回路動作にエラーが生じる。遅延故障のモデルはいくつか提案されており、遷移故障、セグメント故障、パス遅延故障などがある[1]。遷移故障は信号線上の信号遷移(0から1, または1から0)が遅れる故障で、テストすべき故障数が信号線数に対して線形であることからよく用いられているモデルである。本稿ではこの遷移故障を扱うものとする。

3. 高位合成

ハードウェア設計における高位合成は、動作記述をレジスタ転送レベル回路に変換する行程で、スケジューリングとバインディングからなる。スケジューリングは、図1に示すように動作記述をグラフ化したデータフローグラフ(DFG)に対して各演算の実行時刻を決める処理である。またバインディングはスケジュール済みのDFGについて、各演算をどの演算器で実行するのか、また各変数をどのレジスタで記憶するのか割り当てる処理である。

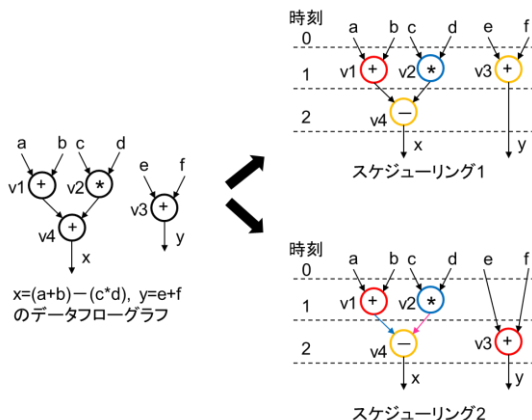


図1. スケジューリングの例

4. 遅延テスト容易なスケジューリング

演算の型が同じである2つの演算 v_i と v_j を考える。遅延故障のテストは、この2つの演算 v_i と v_j それぞれの入力が任意の値に設定でき、かつ2時刻連続の場合、その2つの演算を同じ1つの演算器で実行するように割り当てることで遅延テスト可能となる[2]。そこで本稿ではできるだけ多くの演算が遅延テスト可能となるようなスケジューリング法を提案する。

例えば図1のDFGについて考える。各演算の実行時刻をスケジューリング1のように決めた場合、 v_1 と v_3 は同じ時刻にあるため2時刻連続とはならず、 v_1 を実行する加算器および v_3 を実行する加算器は遅延テストできない。一方で、各演算の実行時刻をスケジューリング2のように決めた場合、 v_1 と v_3 は2時刻連続となり、また各入力変数 a, b と e, f は外部入力から任意の値に設定できるため、 v_1 と v_3 を実行する加算器は出力 y を観測することで遅延テスト可能となる。このような演算ペアを多くするようなスケジューリング法を提案する。

5. 評価実験

提案手法によって合成された回路について遅延故障のテスト容易性を確かめるために、DFGに対して既存の手法であるリストスケジューリングと提案手法で合成を行い、得られたそれぞれの回路のテスト容易性を比較した。今回評価したDFGは1つであるが、提案手法で合成された回路の方がリストスケジューリングよりも遅延テスト可能な演算器数が多い結果が存在することが分かった。

6. まとめ

本稿では、遅延故障のテスト容易性を考えたスケジューリング法の提案を行った。評価実験では、提案手法の方が既存のリストスケジューリングよりも遅延テスト容易な回路を合成できるDFGが存在することが分かった。今後は評価するDFGを増やし、提案手法の有効性を示す。

参考文献

- [1] A. Kristic and K. T. Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers, 1998.
 [2] S. J. Wang and T. H. Yeh, "High-Level Test Synthesis With Hierarchical Test Generation for Delay-Fault Testability," IEEE Transactions on CAD of Integrated Circuits and Systems, Vol. 28, pp. 1583-1596, 2009.