

DCSTP 適用回路に対する最適電力制御手法

小河 亮[†] 岩田 大志^{††} 山口 賢一^{††}
[†] 電子情報工学専攻 ^{††} 情報工学科
 奈良工業高等専門学校

1. はじめに

VLSIは通常動作時程度の電力でテストする必要がある。テスト時の電力が高いと大きな動作遅延が発生する。その影響によって通常時には問題がないVLSIがテスト時に誤動作を起こし、廃棄されてしまう。一方で電力が低い場合、通常動作時の動作遅延に対して動作が保証できない。これらのことから通常動作時程度の電力でテストする必要がある。

本稿ではDCSTP(Deterministic Circular Self Test Path)[1]と呼ばれるテスト容易化設計手法に対して電力を制御する。テスト時に印加するパターンのビット遷移率と組合せ回路内で発生するスイッチング電力には強い相関がある[2]。DCSTPは順序回路中のFFをテスト応答を圧縮しながらテストパターンを印加する機構へと設計変更する。そのため、テスト対象回路を組合せ回路部へと限定できる。本稿ではDCSTPが組合せ回路部に対して印加するテストパターンのトグル率を操作することで電力を制御する。

2. DCSTP

DCSTPは図1(a)に示す順序回路のFFを図1(b)に示すようにDCSTPセルへと置換する。そして、カウンタとデコーダからなる制御部を付加することで適用できる。テスト動作時にはDCSTPセルはテスト応答を圧縮しながら、組合せ回路部に対してテストパターンを印加する機構になる。

制御部はカウンタとデコーダからなり、カウンタは何パターン目を印加しているか記録しており、デコーダはそのパターンのどのビットを反転させるか決定する。制御部により、テスト応答圧縮結果を任意のパターンに変形して組合せ回路部に印加できる。

3. 提案手法

提案手法ではしきい値を用いてテストパターンをグラフ化し、順序付ける。頂点はそれぞれテストパターンをラベルとして持つ。また、辺はテストパターンのトグル率

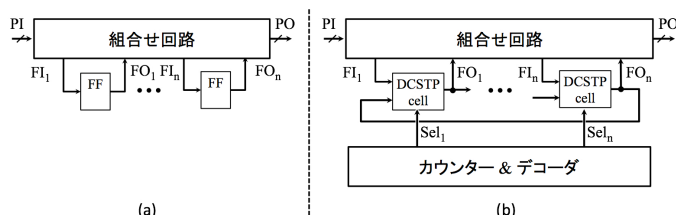


図1. DCSTPの適用例

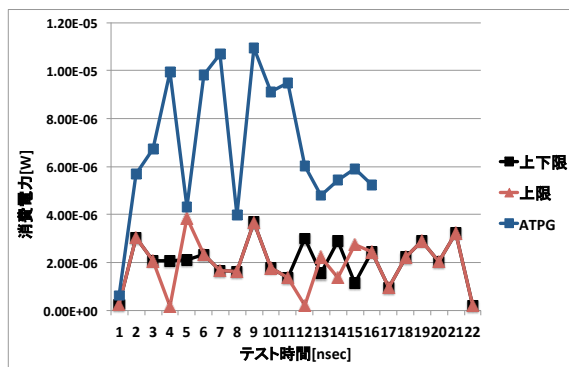


図2. 電力解析結果

がしきい値を満たす場合存在するようなグラフを構成する。このグラフは辺の接続がある場合は連続して印加可能であることを表現している。

順序付けでは貪欲法によって次の頂点を選択していく。辺が存在しない場合には頂点を追加することで、すべての頂点をたどる経路を形成し、頂点を順序付けることでテストパターンの印加順を決定する。

4. 実験結果

ITC'99ベンチマーク回路の組合せ回路部のテストパターンに対して提案手法を適用した。また、順序付けたパターンと順序付けていないパターンをDCSTPで印加するようにVerilog HDLを用いて実装した。

回路内のテスト対象回路において、テスト動作時にどの程度電力が発生するか解析した。b01に対する電力の解析結果を次の図2に示す。図2よりテスト時の電力を順序付けない場合に比べて低く制御できていることが分かる。

5. まとめ

オーバーテストやアンダーテストを防ぐために、テストパターンを順序付けることで電力を制御する手法を提案した。実験結果よりテスト時の電力を制御できていることを示した。今後の課題としては回路中にスイッチング電力に対して支配的な信号線が存在したときの対策を実施することである。

参考文献

[1] Ke WEN, Yu Hu and Xiaowei LI, "Deterministic Circular Self Test Path," Tsinghua Science and Technology Issue:S1, vol. 12, pp. 20 - 25, July 2007
 [2] P. Girard, "Survey of low-power testing of VLSI circuits," IEEE Design & Test of Computers, vol. 19, no. 3, pp. 80-90, 2002.