

任意形式の浮動小数点演算に対応したハードウェア設計環境の構築

森本 貴宏[†] 渡邊 誠也[†] 名古屋 彰[†]
[†] 岡山大学大学院 自然科学研究科

1. はじめに

浮動小数点演算を含む処理をハードウェア化する際に、標準的に用意されている IEEE 754 規格の単精度形式や倍精度形式の演算器を使用することが多いが、その形式にとらわれる必要はなく、設計者が必要な精度のものを自由に構成したい場合も多い。そこで本研究では、設計者が指定した精度の浮動小数点演算器を自動で合成するハードウェア設計環境を構築した。

2. 構成した設計環境の概要

ハードウェア設計言語の Chisel[1]に精度を指定可能な浮動小数点型を追加し、四則演算を含んだ演算式を浮動小数点演算器として合成する機能を実装した。具体的には、Chisel が提供するクラスファイルに浮動小数点型を実現する Float クラスを追加し、加減算回路、乗算回路を生成するクラスも追加した。

構築した設計環境(図 1)では、Chisel を用いて記述したファイルを Verilog HDL 記述に変換する際に、任意形式の浮動小数点演算に対応した演算器を生成する。

3. 評価と考察

構築した設計環境から生成された加算器と、浮動小数点演算器生成プログラムの FloPoCo[2]を用いて生成した加算器の両者について、それぞれFPGAに実装した際のスライス数の比較を図 2 に、最大動作周波数の比較を図 3 に示す。その結果、128 ビットの加算器では FloPoCo が生成する回路の約 60%のスライス数に抑えることができた。また、性能の評価でもほぼ同等のものが得られている。

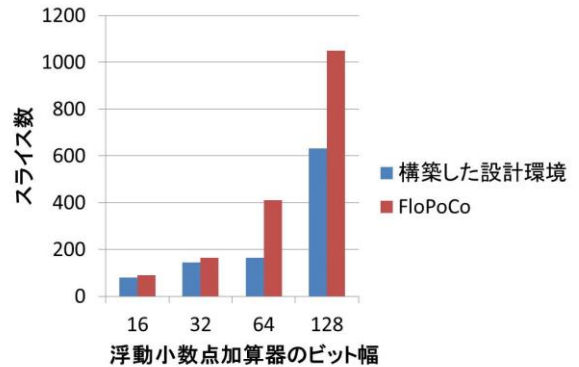


図 2. スライス数の比較

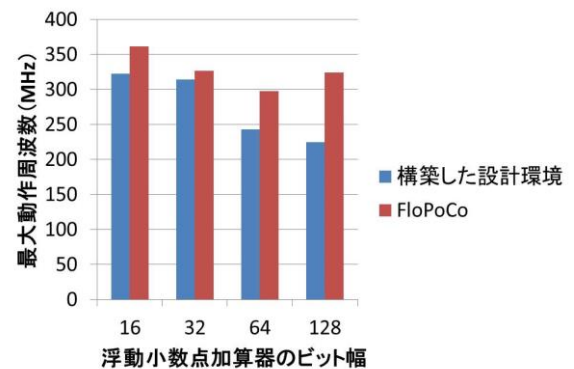


図 3. 最大動作周波数の比較

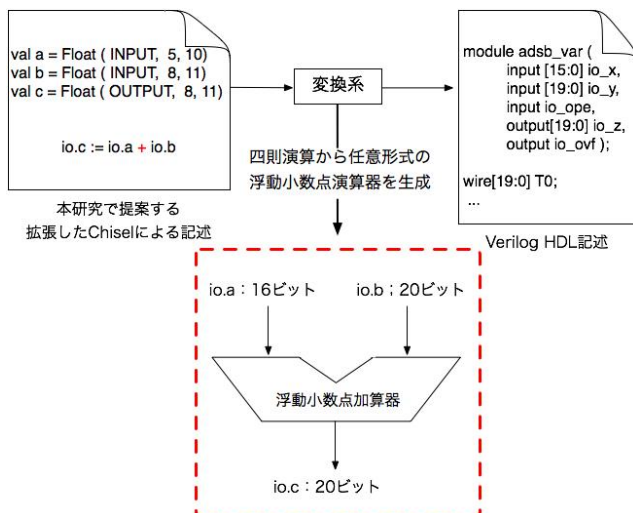


図 1. 構築したハードウェア設計環境

文献[3]から、MP3 エンコーダの MDCT 演算の必要精度は、符号部 1 ビット、指数部 7 ビット、仮数部 12 ビットの合計 20 ビットと判明している。そこで、MDCT の規格の必要精度を満たす演算器を生成し、IEEE 754 の単精度形式の演算器と比較した。結果として、IEEE 754 の形式の演算器に比べ、加減算器では LUT 数を約 54.3%、乗算器では DSP48E スライス数を 50%に抑えることができた。

4. 今後の課題

除算器を生成する機能や各演算器のパイプライン実装に対応した機能の追加、指数関数や平方根などのより複雑な関数に対応できるオプションの充実などが挙げられる。

参考文献

[1] <http://chisel.eecs.berkeley.edu/>.
 [2] <http://flopoco.gforge.inria.fr/>.
 [3] 森本貴宏, 渡邊誠也, 名古屋彰: “ハードウェア設計における浮動小数点演算器の精度評価手法に関する検討,” 信学総大 ISS ポスターセッション, p. 109, 2012.