

位相演算型光シリアル・パラレル変換器に関する研究

東京工業大学 精密工学研究所 マイクロシステム研究センター 矢沢豪様

論文概要

近年のインターネットトラフィックの急増に対処するため、高速かつ低消費電力な処理が期待される光パケットスイッチやラベル処理の研究が盛んである。ラベル処理に従来型光シリアル・パラレル変換器(OSPC)を用いると、ラベル数に比例して消費電力が急増する課題がある。我々は消費電力を抑える新たな手法として、位相シフトプリアンプと遅延干渉計を用いることにより、高速かつ低消費電力な処理が期待される、位相演算型OSPCの動作を提案した。本報告では、この新しいOSPCの動作可能性を解析的に、また実験的に検討した。解析では遅延干渉計の位相ずれ許容度、導波路損失を考慮したビット拡張性の検討、消光比許容度を見積もった。また、実験では40Gbit/sにおいて4 bitの動作が達成された。

位相演算型OSPCは、本研究室で提案された位相演算による1bit自律生成技術[1]を基本にしている。Fig. 1にこの1bit自律生成手法の構成図を示す。信号の先頭に $\pi/2$ 位相シフトした1bitをプリアンプとして付与する。受信はDPSK受信器と同じ構成であるが、MZDIの位相条件をDPSK受信器の位相と $\pi/2$ ずらしておくことで、プリアンプと干渉する1bitのみがゲートし、他のビットはキャンセルする。OSPCとして動作させる場合は相対遅延長が1-Nbitまで異なるMZDIを並列に配置し、信号のそれぞれのビットを打ち抜く。

導波路の損失を考慮した場合のMZDIの相対遅延長に対するBERの解析結果をFig. 2に示す。図よりビット拡張性がシリカの場合には27 bit、InPベースの半導体においても15 bit程度取れることが分かる。

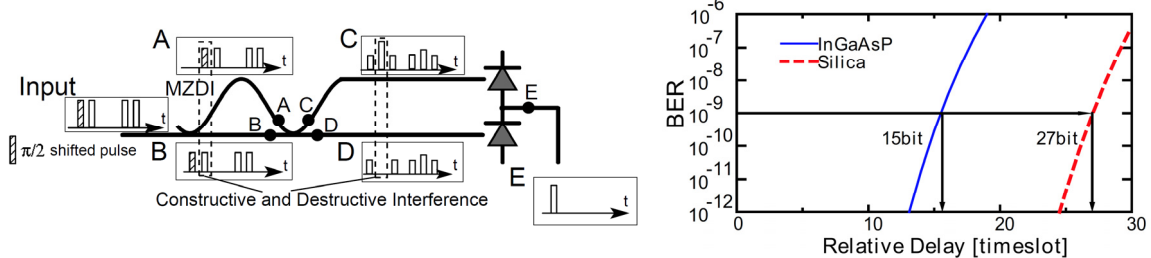


Fig. 1 位相シフトプリアンプとMZDIを用いた1 bit生成技術。 Fig. 2 MZDIの相対遅延長に対するBERの計算結果。

コメント

この度は、大変名誉ある賞を頂き光栄です。本研究の目標は、電気信号では処理不可能な超高周波数領域において、低消費電力な光シリアル・パラレル変換動作を行うことにあります。我々の提案した構成は光パケットスイッチにおけるラベル処理などに適用可能であり[2]、将来の光パケットスイッチ実現に向けて必要不可欠なコンポーネントの一つとなると期待しております。

また本賞の受賞は、大学研究室の先生方、先輩方、同期からのアドバイス、そして学会、研究会を通じた皆様との闊達な議論の賜物であり、本当に感謝しております。またこの様な発表の機会を設けて頂いた光エレクトロニクス研究会の皆様にも深甚なる謝意を表します。

参考文献

[1]S. Shimizu, et al, IEEE Photonics Technol. Lett., vol. 19, no. 4, pp. 236-238, Feb.2007.

[2]矢沢豪他, 第57回応用物理学会春季講演会, 平塚, 18a-N-3, 2010年3月.