



【トピックス(Features)】

「Diagnosis of Signaling and Power Noise Using In-Plane Waveform Capturing for 3D Chip Stacking」



高谷 聡 (神戸大学)

メモリチップの三次元積層化は、低コストで高パフォーマンスな電子デバイスの実現に有望である。これらのシステムでは、超低消費電力、超広帯域幅、安定性とスケーラビリティ、小実装面積と大容量をバランス良く追求することが求められており、三次元積層技術が適している。三次元積層化による性能向上は、シリコン貫通ビア (Through Silicon Via, TSV) 技術により、積層チップ間の信号配線長と寄生容量を減らすことで可能となった。プリント基板やインタポーザ上に作られた平面のバス配線に比べ、メモリとロジックチップ間のデータ通信は、データ帯域幅だけでなく電力効率も大きく向上させることが可能である。

三次元積層システムの全体的なパフォーマンスは、スタックチップの垂直方向の配線性だけでなく、プリント基板との接続性などからも影響を受ける。TSV とマイクロバンプ (μ Bump) の結合系における電気特性と機械特性、そのばらつきを適切に表現する等価回路モデルは未だ確立されていない。三次元積層システムにおける垂直データ転送の信頼性向上のため、このような不確実性を扱う回路技術が必要である。内部信号の観測のためには、物理的に回路の内部ノードに針を当てるなどの方法が用いられるが、三次元実装においてはこの観測手法は不可能であり、オンチップでの電氣的な観測が必須である。また、垂直方向のデータ転送の信号伝播の様子の観測や、接続不良箇所の同定、スタックした複数のチップ間のカップリング雑音などの評価のため、三次元積層内の信号や電源配線のアナ

ログ波形の観測手法の確立が求められている。

本研究では、メモリチップ、インタポーザチップ、およびロジックチップの三層積層構造による三次元チップスタックを設計・試作し、BGA パッケージに組み立てた。さらに、超ワイド I/O データ通信の機能・性能試験システムを、ロジックチップやメモリチップの埋め込み自己テスト機構 (Built-in self test, BIST) と、FPGA に組み入れたテストプログラム機構の協調により構築した。さらに、インタポーザチップには、TSV バスを通過する信号や、電源ネットワークの波形を三次元積層チップの内部でその場評価するための波形取得機構を搭載し、電圧波形取得はもちろんアイ開口のその場評価を実現した。

本ワイド I/O テストシステムの構造を図 1 に示す。4096 ビットの超ワイド I/O TSV データバスは、1.2 V の電源で動作クロック 200 MHz と 0.56 pJ/bit で 100 GByte/秒の同期双方向データ転送が可能である。上層にメモリチップ (MEM)、中層にアクティブシリコンインタポーザ (ASI)、下層にロジックチップ (LOGIC) を配置した 3 層の積層構造からなり、全てのチップは 90 nm の CMOS プロセスで製造した。各チップの面積は $9.9 \times 9.9 \text{ mm}^2$ である。ピアラスタの $50 \mu\text{m}$ ピッチ Cu TSV、chip-to-chip の積層プロセスが使用されている。垂直方向の接続は、4096 ビットのデータバスを含む 7300 本の TSV と、同数の μ Bump で高密度に構成されている。このスタックは、527 ピン BGA の FR-4 インタポーザ上に搭載され、システム基板に組み付けられる。

ワイド I/O バスは図 2 に示すように、8 並列のバンクに分割されている。各バンクには 2 つの TSV アレイ (64×7 列と 64×6 列) があり、512 ビットに加えて、32:1 の割合で合計 16 ビットの冗長信号チャンネルを有する。

ASI には中央部分に波形取得機構が搭載されている。波形取得回路には 3.3 V デバイスを使用しており、1.2 V で動作するワイド I/O バスの信号がフルスイングで観測できる電圧範囲を有し、また低コストな CMOS プロセスで製造できる。波形取得の時間分解能と電圧分解能は 10 ビットで、ステップの大きさの最小値はそれぞれ 10 ps と 0.5

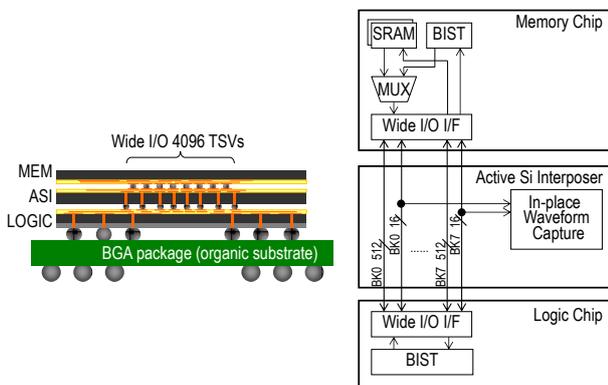


図 1 波形取得機構を備えたワイド I/O テストシステム

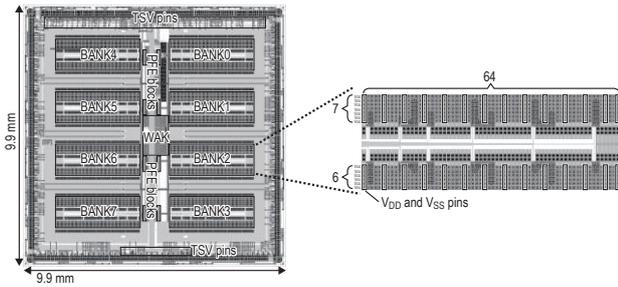


図2 シリコンインタポーザのレイアウトとワイド I/O の TSV 配置

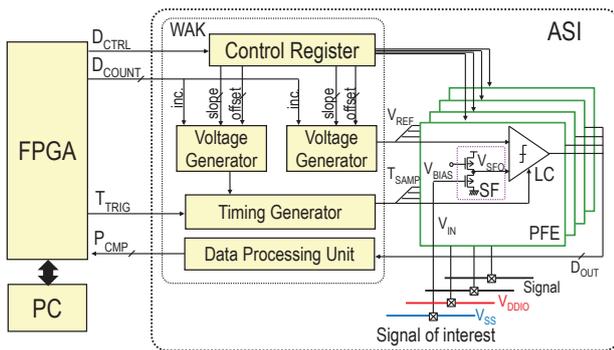


図3 波形取得機構のブロック図

mV に設定可能である。ワイド I/O 信号のうち冗長チャンネル全てと、各バンク 2 組の VDD と VSS ノードが選択的に観測可能である。観測用のプローブ配線は 150 以上あり、三次元チップスタック内の垂直方向のデータチャンネルを広範囲に診断できる。波形取得に必要な制御信号、出力信号、電源やバイアスも TSV を介して供給され、これらの信号はワイド I/O とは別に、チップ上辺付近または下辺の TSV アレイを用いている。

波形取得機構は、図 3 に示すように Probing Front End (PFE) のアレイと、それらに共通の Waveform Acquisition Kernel (WAK) から構成される。PFE 回路で対象点の電圧を取得し、WAK から供給される参照電圧とサンプリングタイミングによって波形がデジタル化される。PFE 回路は、対象とする V_{DD}、V_{SS}、V_{SIG_H}、V_{SIG_L} の電圧帯が評価できるよう、それぞれに特性を合わせて設計されている。

図 4(a)は、100 GByte/秒転送時のワイド I/O のあるバンクの信号波形を 16 信号取得したものである。これらの信号間のスキューは 308 ps と、200 MHz の動作クロック周期と比較して非常に小さいことが確認できる。また、図 4(b)は 1 信号に対してアイ開口を実測したものである。電源電圧に対してほぼフルスイングで信号伝送が行われている。これらの結果から、定格電圧での 100 GByte/秒転送時の信号間干渉は極めて小さく、高品質な信号伝送ができ

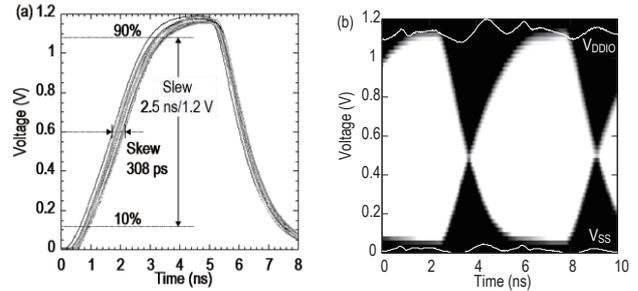


図4 ワイド I/O 信号の観測結果

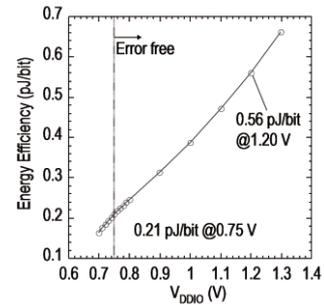


図5 ワイド I/O 動作電圧とエネルギー効率

ていることが確認できる。

図 5 はワイド I/O の電源電圧における信号伝送の電力効率の実測結果である。ワイド I/O の電源電圧 1.2 V では 0.56 pJ/bit、また電源電圧を 0.75 V まで下げ、信号振幅を小さくした場合は 0.21 pJ/bit であった。0.75 V 動作時は、BIST でエラーが発生していないこと、また、電圧波形観測およびアイ開口観測において信号伝送に問題が無いことを確認している。

TSV 技術によりメモリチップ、インタポーザチップ、およびロジックチップの三層積層構造による 4096 ビット幅の超ワイド I/O デバイスを設計・試作し、試験システムを構築した。ロジックチップとメモリチップ間で 100 GByte/秒のデータ転送を、ワイド I/O の標準電源電圧 1.2 V の時は 0.56 pJ/bit、電源電圧 0.75 V の時は 0.21 pJ/bit の消費エネルギーで実現できることを示した。また、TSV バスを通過する信号波形やアイ開口を、三次元積層チップの内部でその場観測するための機構を搭載し、その有効性についても実証した。

著者略歴：

2014 年神戸大学大学院システム情報学研究所博士課程修了、同年株式会社東芝入社。現在不揮発メモリの研究開発に従事。2015 年電子情報通信学会論文賞受賞。電子情報通信学会、IEEE 会員。