

# 集積回路プロセスによる偏光計測 CMOS イメージセンサ

笹川 清隆<sup>†</sup> 野田 俊彦<sup>†</sup> 徳田 崇<sup>†</sup> 垣内 喜代三<sup>†</sup> 太田 淳<sup>†</sup>

<sup>†</sup> 奈良先端科学技術大学院大学物質創成科学研究科 〒630-0192 奈良県生駒市高山町 8916-5

E-mail: <sup>†</sup> {sasagawa, t-noda, tokuda, kakiuchi, ohta}@ms.naist.jp

あらまし CMOS プロセスの微細化により, 100nm よりも低い金属配線層寸法が可能となっている. これにより, ナノフォトニクスに基づいた光学素子を上記 CMOS チップ上に集積することが可能となる. 本研究では, 65 nm プロセスの金属配線層によりグリッドを利用した偏光子を設計し, これを搭載した画素回路を用いて, 波長 750nm においておよそ 100 の消光比を達成した.

キーワード イメージセンサ, オンチップ偏光子, メタルワイヤグリッド

## Polarization analyzing image sensor using integrated circuit process

Kiyotaka SASAGAWA<sup>†</sup> Toshihiko NODA<sup>†</sup> Takashi TOKUDA<sup>†</sup>

Kiyomi KAKIUCHI<sup>†</sup> and Jun OHTA<sup>‡</sup>

<sup>†</sup> Graduate School of Materials Science, Nara Institute of Science and Technology,  
8916-5 Takayama, Ikoma, Nara, 630-0192 Japan

E-mail: <sup>†</sup> {sasagawa, t-noda, tokuda, kakiuchi, ohta}@ms.naist.jp

**Abstract** Recent progress of CMOS technology allows designing finer than 100 nm. This feature realizes to integrate optical devices on the basis of nano-photonics on a CMOS chip. In this study, we designed metal wire grid polarizers using metal wire layers of 65-nm process. The fabricated chip achieved an extinction ratio of approximately 100 at a wavelength of 750 nm.

**Keyword** Image sensor, on-chip polarizer, metal wire grid

### 1. はじめに

近年の微細加工技術の進展により, CMOS (complementary metal-oxide-semiconductor) プロセスを用いて, 数十 nm 程度以下の構造を設計することが可能となっている. その金属配線層を用いて, ナノ・フォトニック構造を設計し, チップ上に集積化されることが考えられる. 特に, イメージセンサと組み合わせることによって, 高機能光計測デバイスが実現できるものと期待される.

微細構造を設計可能な先端プロセスを用いて, 我々は, これまでにメタルワイヤグリッド偏光子を搭載したイメージセンサの設計を行った[1-9]. この手法では, 偏光子を搭載するために追加のプロセスを必要としない. メタルワイヤグリッド偏光子の消光比は, グリッドピッチに依存することが知られている. グリッドピッチの低下に伴い, 消光比は高くなる. 我々は, 初期の研究において, 0.35- $\mu\text{m}$  プロセスを用いたオンチップ偏光子を試作したが, その消光比は 3.3 であった[10, 11]. Sarkar らは, 0.18- $\mu\text{m}$  プロセスを用いた試作を行い, 消光比が 10 dB 以下であった[12]. 0.18- $\mu\text{m}$  プロセスで製造可能なグリッドのピッチは, 可視光波長と同程度であり, 高い消光比を得るには不十分出会ったと

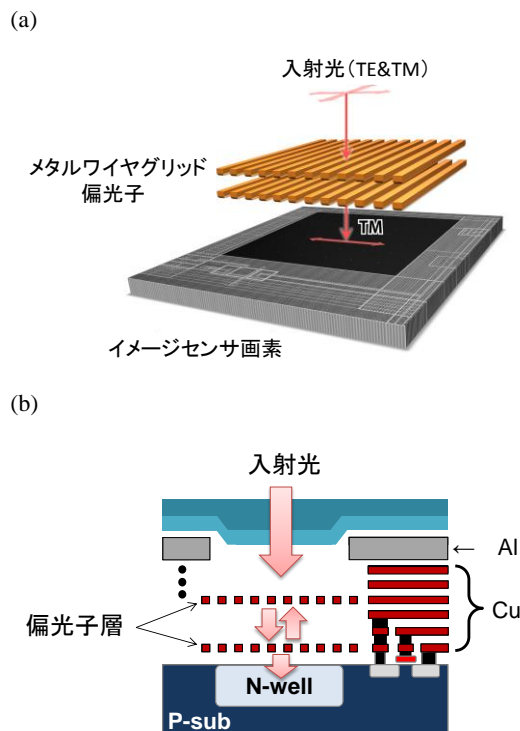


図 1 (a) オンチップ偏光子搭載画素構造, (b)断面構造.

考えられる。

そこで、我々は、65-nm 標準 CMOS プロセスを用いてより微細なグリッドの偏光子を試作した[13-15]. 65-nm プロセスでは、グリッドピッチを可視光波長よりも十分に低くすることが可能である。これにより、波長 750 nm 付近において約 20 dB(=100)の消光比を達成することに成功した。一方、多層の CMOS プロセスでは、多層の金属配線層を用いていることが一般的であり、偏光子の多層化により、消光比の改善が期待される。本稿では、単層および2層のオンチップ・メタルワイヤグリッド偏光子について述べる。

## 2. CMOS イメージセンサ画素用オンチップ偏光子の設計

メタルワイヤグリッド偏光子は、薄い構造で高消光比を実現することが可能である。高い消光比性能を得るためには、入射光の波長に対して、グリッドピッチが十分に狭いことが必要となる。上述のように、これまでに報告された CMOS プロセスによる偏光子の例では、一般的な偏光子と比較して消光比が低く、可視光波長域では 10 以下程度であった[2, 3]. これは、0.35- $\mu\text{m}$  や 0.18- $\mu\text{m}$  プロセスで製造されておりグレーティングピッチが十分に低くなかったためと考えられる。これに対し、我々は、先端プロセスを用いることにより十分に細かいグレーティングピッチの偏光子を実現することを提案した[1].

本研究では、65-nm 標準 CMOS プロセスによるメタルワイヤグリッド偏光子を搭載したイメージセンサ画素を試作した。図 1(a)に偏光子搭載画素構造を示す。CMOS プロセスにおいては、複数の金属配線層が使用されることが一般的である。そこで、(a)単層偏光子、および、(b)2層偏光子を搭載した画素を設計した。単層偏光子は CMOS プロセスにおいて、最も Si 基板に近接し、細かい設計が可能な第 1 層目の金属配線層を用いている。2層偏光子として、金属配線層のうち第 1, 2 層、あるいは、第 1,3 層からなる偏光子を試作した。そのグリッドピッチは、単層偏光子と比較して大きい。SiO<sub>2</sub>系の物質からなる層間絶縁膜内においては、実効的な可視光波長は 300-500 nm 程度になる。よって、高い消光比を実現するためには、グレーティングピッチは、それよりも十分低くする必要がある。

画素は、一般的なイメージセンサ画素である 3-transistor active pixel sensor 型ものとした。フォトダイオードは、CMOS プロセスの n-well/p-sub 構造を用いている。画素寸法は 20  $\mu\text{m}$  角 (Fig. 1(b)), 動作電圧は 3.3 V である。試作チップの写真を図 2 に、仕様を表 1 に示す。

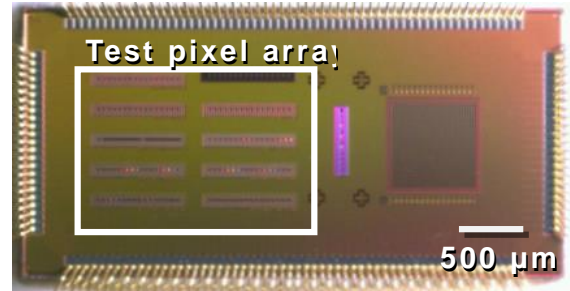


図 2 オンチップ偏光子搭載イメージセンサ。

表 1 試作画素仕様

Technology		65-nm standard CMOS (Fujitsu)
Supply voltage		3.3 V
Pixel	Type	3-transistor active pixel sensor
	Size	20 × 20 $\mu\text{m}^2$
Photodiode	Type	Nwell-Psub
	Size	13.2 × 13.2 $\mu\text{m}^2$
Fill factor		43.6%

## 3. 実験結果

### 3.1. 単層偏光子

図 2 は、画素出力の波長依存性を示している。ここで、縦軸は規格化されている。この画素は、使用した CMOS プロセスにおける n 型のウェルと p 型基板間の p-n 接合をフォトダイオードとして用いる。これまでに、0.35- $\mu\text{m}$  プロセスで我々が試作した、CMOS イメージセンサ上のフォトダイオードは、波長 500-600 nm の間にピーク感度を有していた。このピーク感度は p-n 接合の空乏層の深さに依存し、より微細なプロセスではより短い波長にピークが現れるものと予想される。しかし、今回使用した 65 nm プロセスのフォトダートはピーク感度が 710 nm に現れている。この結果は、配線の間絶縁層が、互いに異なる屈折率を有する複数の誘電体層の積層によって構成されており、光学的な干渉フィルタのような特性を示しているためと考えられる[16].

単層偏光子を搭載した画素の出力および消光比の波長依存性を図 3 に示す。ここで、TE および TM は入射光の偏光方向が、ワイヤグリッドに対して、それぞれ、平行および垂直であることを示している。この結果から、計測した波長範囲において TM 偏光の出力が TE 偏光よりも高くなっていることがわかる。TM 偏光についての出力の波長依存性を図 3 に示す。消光比のピークは 710 nm 付近であるが、700 nm より短い波長

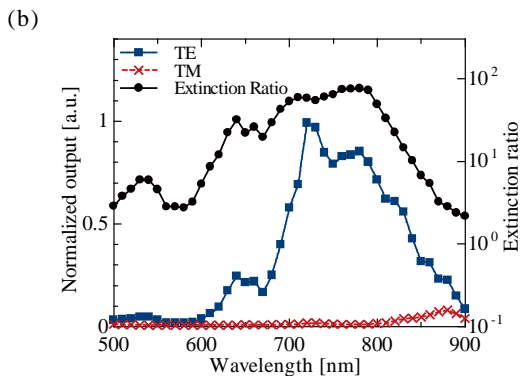
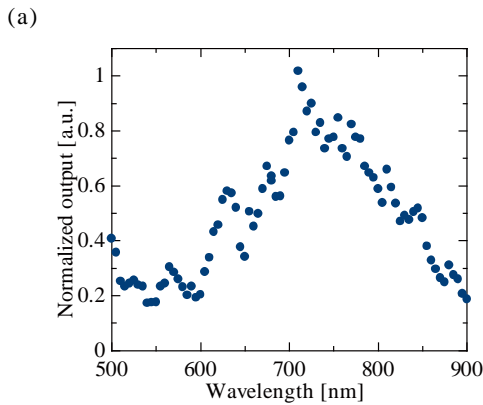


図 3 (a) 偏光子非搭載画素の感度スペクトル, (b) 単層偏光子搭載画素の透過および消光比スペクトル.

帯においては、消光比は非常に低くなっている。これは、使用したプロセスの金属配線層が Cu であるため、この波長域における消衰係数が大きく、透過率が低いことによるものと考えられる。そのため、提案したメタルワイヤグリッド偏光子は、近赤外波長域においての高い消光比を示す。

単層偏光子を搭載した画素の消光比は、波長 780 nm において 19.7 dB (=94) であった。シミュレーションの結果からは、より長波長域において高い消光比が期待されるが、画素感度が低くなることから、相対的に低い消光比となっている。

### 3.2. 二層偏光子

2 層構造化は、メタルワイヤグリッド偏光子の消光比を向上する手段の一つとして知られている [17]。CMOS プロセスは、多層配線が可能であることが一般的であり、本研究で使用したプロセスも多数の配線層を有している。そこで、金属配線層の第 1 層と、第 2 層あるいは第 3 層を組み合わせて、2 層からなる偏光子搭載画素を試作した。すべての層のライン・スペース幅は、設計ルールで許容されている第 3 層の最小値とした。この値は、第 1 層の最小値の約 1.5 倍となっている。

2 層偏光子の特性を推定するため、RCWA 法

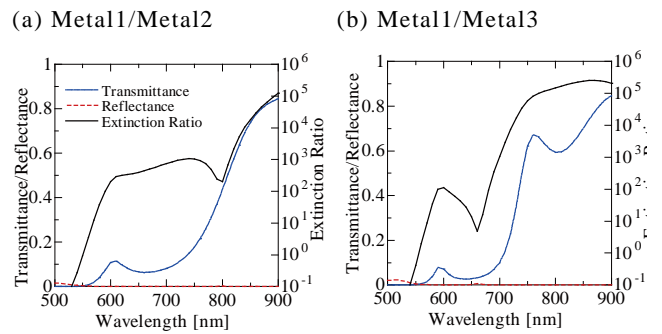


図 4 2 層偏光子搭載画素消光比シミュレーション結果.

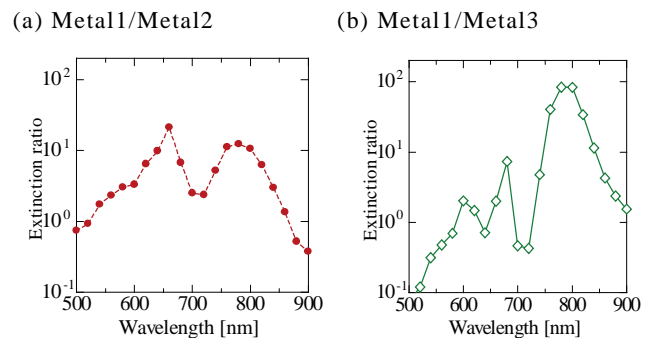


図 5 2 層偏光子搭載画素消光比計測結果.

(Rigorous Coupled Wave Analysis (RCWA)) によるシミュレーションを行った。偏光子は、Cu 配線と SiO<sub>2</sub> 絶縁層から構成されると仮定した。この条件は、実際のデバイスのプロセスは公表されていないため、シミュレーションに用いた数値は実際と少し異なるものと考えられる。図 4 にシミュレーションの結果を示す。透過スペクトルは図 4(a) および (b) で大きく異なる。この結果は、2 つのメタルワイヤグリッドの層によってキャビティが形成され、これにより、透過率の波長依存性にさいが現れていることを示唆している。第 1 層と第 3 層からなる偏光子は波長 750 nm 付近において高い透過率を示している。このことから、高い消光比が得られる可能性があることが期待される。試作画素のフォトダイオードは、65-nm 標準 CMOS プロセスの n-well/p-sub 構造を用いており、その感度は図 3(a) のようになっている。高感度波長域において、高い透過率であることが高ピーク消光比を得る上で重要となる。

図 5 は、試作画素の測定結果を示している。第 1 層と第 3 層からなる偏光子は、波長 780 nm において最大消光比 19.2 dB (=84) を示した。この値は、より微細なグリッドピッチの単層偏光子を搭載した画素の消光比 19.7 dB (=94) と同程度である [14]。この結果は、2 層化することによって高い消光比が、より粗いピッチのグリッドによって実現できることを示している。第 1 層と第 2 層からなる偏光子では、最大消光比は、波長

660 nm 付近に現れている。これは、第 1 層と第 3 層からなる偏光子と大きく異なっている。

シミュレーションと実験の結果には、いくつかの差異が見られる。これは、シミュレーションにおいて、フォトダイオードの感度特性等が考慮されていないためと考えられる。しかし、最大消光比の波長については、ほぼ一致しており、2 層偏光子の設計において、層間の距離が影響することがわかる。

#### 4. まとめ

65-nm 標準 CMOS プロセスの金属配線層による高消光比のオンチップ・ワイヤグリッド偏光子、および、これを搭載したイメージセンサ画素を試作した。単層および 2 層偏光子において、波長 750nm 付近でおよそ 100 の消光比を達成することに成功した。

本研究で試作したオンチップ偏光子を搭載したイメージセンサは、先端プロセスで用いられる Cu 配線層を利用しているため、近赤外においてのみ高い消光比を示す。そのため、一般的なイメージング用途への適用は困難であるが、偏光計測分野への応用が期待される。例えば、光コヒーレンストモグラフィ、光学活性計測、RF 電界イメージングなどが挙げられる。これらの計測手法では、単体のフォトダイオードと偏光子、増幅器などを組み合わせた手法が一般的である。提案手法は、これらの素子をチップ上に集積化し、ハイスループット化するための要素技術になり得る。

#### 謝 辞

本研究の一部は、半導体理工学研究センター (STARC) の協力、および、科学研究費 補助金 (#24310101, #24106729)のもとに行われた。また、本研究におけるセンサ設計は、東京大学大規模集積システム設計教育研究センターを通してケイデンス株式会社の協力で行われたものである。

#### 文 献

- [1] Gruev, V., "Fabrication of a dual-layer aluminum nanowires polarization filter array," *Opt. Express* 19(24), 24361-24369 (2011).
- [2] Sarkar, M., Member, S., San, D., Bello, S., Hoof, C. V. and Theuwissen A., "Integrated polarization analyzing CMOS image sensor for material classification," *IEEE Sensors J.* 11(8), 1692-1703 (2011).
- [3] Guillaumee, M., Dunbar, L. A., Santschi, C., Grenet, E., Eckert, R., Martin, O. J. F. and Stanley R. P., "Polarization sensitive silicon photodiodes using nanostructured metallic grids," *Appl. Phys. Lett.* 94(19), 193503 (2009).
- [4] Boussaid, F., Bermak, A. and Chigrinov, V. G., "Thin photo-patterned micropolarizer array for CMOS image sensors," *IEEE Photon. Tech. Lett.* 21(12), 805-807 (2009).
- [5] Zhao, X., Bermak, A., Boussaid, F., and Chigrinov, V. G., "Liquid-crystal micropolarimeter array for full Stokes polarization imaging in visible spectrum," *Opt. Express* 18(17), 17776-17787 (2010).
- [6] Zhao, X., Boussaid, F., Bermak, A. and Chigrinov, V. G., "Micropolarizer arrays for visible imaging polarimetry," *Opt. Express* 19(6), 17776-17787 (2011).
- [7] Gruev, V., Van der Spiegel, J. and Engheta, N., "Dual-layer thin film polymer polarization imaging sensor," *Opt. Express*, 18(18), 19292-19303 (2010).
- [8] Sato, T., Araki, T., Sasaki, Y., Tsuru, T., Tadokoro, T. and Kawakami S., "Compact ellipsometer employing a static polarimeter module with arrayed polarizer and wave-plate elements," *Appl. Opt.* 46(22), 4963-4967 (2007).
- [9] Tokuda, T., Sato, S., Yamada, H., Sasagawa, K. and Ohta J., "Polarization-analyzing CMOS photosensor with monolithically embedded wire grid polarizer," *Electron. Lett.* 45(4), 228-230 (2009).
- [10] Tokuda, T., Yamada, H., Sasagawa, K. and Ohta, J., "Polarization-analyzing CMOS image sensor with monolithically embedded polarizer for microchemistry systems," *IEEE Trans. Biomedical Circuits and Systems* 3(5), 259-266 (2009).
- [11] Sarkar, M., Member, S., San, D., Bello, S. and Van Hoof, C., "Integrated polarization analyzing CMOS image sensor for material classification," *Sensors* 11(8), 1692-1703 (2011).
- [12] Shishido, S., Noda, T., Sasagawa, K., Tokuda, T. and Ohta, J., "Polarization analyzing image sensor with on-chip metal wire grid polarizer in 65-nm standard complementary metal oxide semiconductor process," *Jpn. J. Appl. Phys.* 50(4B), 04DL01 (2011).
- [13] Sasagawa, K., Shishido, S., Ando, K., Matsuoka, H., Noda, T., Takashi, T., Kakiuchi, K. and Ohta, J., "Image sensor pixel with on-chip high extinction ratio polarizer based on 65-nm standard CMOS technology," *Opt. Express* 21(9), 11132-11140 (2013).
- [14] Wakama, N., Okabayashi, D., Noda, T., Sasagawa, K., Tokuda, T., Kakiuchi, K. and Ohta, J., "Polarisation analysing complementary metal-oxide semiconductor image sensor in 65-nm standard CMOS technology," *J. Eng.* (2013) doi: 10.1049/joe.2013.0033.
- [15] Ikeda, M. and Kim, Y., "Measurement and Analysis on Characteristics of Transmission and Polarization for 12ML 65nm CMOS," in *Proc. IEEE Sensors*, 548-551 (2010).
- [16] Ekinci, Y., Solak, H. H., David, C. and Sigg, H., "Bilayer Al wire-grids as broadband and high-performance polarizers," *Opt. Express* 14(6), 2323-2334 (2006).