

デザインガイア2012 ポスター一覧

11月27日(火) 15:00~16:30 @ 交流ホール

No.	研究会	氏名	区分	タイトル
1	CPSY	望月 陽平(立命館大)	学生	トリプルDES回路に組み込まれたハードウェアロイの試作とその検知手法の検討
2	DC	中祖 達也(広島市大)	学生	耐過渡故障データパス合成における演算器バインディングのためのヒューリスティックアルゴリズム
3	DC	上田 健司(広島市大)	学生	解の再利用を用いたSATに基づくテスト生成におけるインスタンス順序と変数割当順序の決定法
4	ICD	佐々木 貴行(富士通研)	一般	SoC高速電力見積システムFPA2の開発
5	RECONF	大川 猛(宇都宮大)	一般	分散オブジェクトORBエンジンの導入によるFPGA搭載システム連携の短期間開発事例
6	RECONF	椎原 康士郎(鹿児島大)	学生	インデックス生成器を用いたコネク6の必勝パターン検出器に関して
7	RECONF	窪田 貴之(静岡大)	学生	0.18um CMOS プロセス ダイナミック光再構成型ゲートアレイVLSI
8	RECONF	中原 啓貴(鹿児島大)	一般	電波望遠鏡用小型分光器のエクステンシブル・プロセッシング・プラットフォームへの実装に関して
9	RECONF	三浦 智香子(広島市大)	学生	大規模グラフの最大クリーク問題に対する部分再構成可能FPGAを用いたハードウェア解法
10	RECONF	森脇 烈(静岡大)	学生	偏光依存性ホログラムメモリを用いた9コンテキスト光再構成型ゲートアレイ
11	RECONF	早馬 悟司(熊本大)	学生	スケールフリーネットワークに基づくFPGA配線構造の基礎的検討
12	RECONF	高田 誠也(熊本大)	学生	組込みシステムを対象としたリコンフィギュラブルJavaアクセラレータの一検討
13	VLD	跡部 悠太(早大)	学生	鍵ベース構成のState Dependent Scan Flip-Flopを用いたセキュアスキャンアーキテクチャ
14	VLD	竹鼻 宏晃(東京都市大)	学生	配列アクセス実行条件の厳密な解析に基づくスカラープレイス技術
15	VLD	赤坂 宏行(早大)	学生	HDRアーキテクチャを対象とした同時実行指向スケジューリングを用いたクロック設計考慮低電力化高位合成手法
16	VLD	小寺 博和(早大)	学生	Camellia暗号回路に対するスキャンベース攻撃手法
17	VLD	安藤 友樹(名大)	学生	組込みシステムのアーキテクチャ探索における性能ボトルネック解析
18	VLD	董 青(北九州市大)	一般	Routability-oriented Common-Centroid Capacitor Array Generation
19	VLD	久保田 勤人(京都工繊大)	学生	低電力かつ省面積な耐ソフトエラー多重化フリップフロップ
20	VLD	阿部 晋矢(早大)	学生	SAAV:AVHDRアーキテクチャを対象とした動的複数電源電圧指向の低電力化高位合成手法
21	VLD	祖父江 亮哉(立命館大)	学生	クロック周波数向上のための動作合成におけるコントローラ設計手法
22	VLD	増子 駿(会津大)	学生	歩留まり改善のための2つの遅延値に調整可能な遅延素子に対する遅延調整手法
23	VLD	石井 翔平(京都工繊大)	学生	商用FPGAのばらつきとBTIIによる経年劣化
24	VLD	西山 大樹(広島市大)	学生	プログラマブル論理デバイスを対象とした配置配線問題の整数計画法に基づく定式化
25	VLD	濱田 尚宏(会津大)	一般	束データ方式による非同期式パイプライン回路を対象とした動作合成手法
26	VLD	荒木 達真(京大)	学生	高位合成における繰り返し回数未決定ループに対する投機実行手法
27	VLD	川村 一志(早大)	学生	島内消費電力量見積もりにもとづく温度特性を考慮したRDRアーキテクチャ向け高位合成手法
28	VLD	松本 高士(京大)	学生	ランダム・テレグラフ・ノイズに起因した組合せ回路遅延ゆらぎに対する基板バイアスの影響
29	VLD	松尾 惇士(立命館大)	学生	Partially-Programmable Circuits with CAMs
30	VLD	李 志(京大)	学生	Accurate I/O Buffer Impedance Self-Adjustment using V_{th} and Temperature Sensors